

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

(11) 공개번호 특1998-071672

G02F 1 /133

(43) 공개일자 1998년 10월 26일

(21) 출원번호 특1998-005889

(22) 출원일자 1998년 02월 25일

(30) 우선권 주장 97-44378 1997년 02월 27일 일본(JP)

(71) 출원인 97-301251 1997년 10월 31일 일본(JP)
세코에푸손 주식회사 야스카와 히데아키(72) 발명자 일본 도쿄도 신쥬쿠구 니시신쥬쿠 2-4-1
무라데 마사오(74) 대리인 일본 나가노켄 스와시 오와 3-3-5 세코 에푸손(주)내
이병호, 최달용

심사청구 : 없음

(54) 액정장치와 그 제조방법 및 투사형 표시장치

요약

본 발명의 목적은, 액정 장치 및 그것을 사용한 투사형 표시 장치에 있어서, 편광판등에 반사한 빛의 영향에 의한 화소 스위칭용 TFT의 리크 전류를 억제하고 화소 스위칭용 TFT의 특성의 안정화를 도모하는 것으로서, 액정 장치(100)의 액정 장치용 기판(300)에 화소 스위칭용 TFT의 일정 채널 영역(1c)의 하부에 제 1 차광막(7)을 설치함과 함께 제 1 차광막(7)을 주사선(2)을 따라서 연장 설치하며, 화소 영역의 외측에서 정전위를 공급하는 정전위 배선(8)에 접속되어 제 1 차광막(7)의 전위를 고정한다.

대표도

도6

명세서

도면의 간단한 설명

도 1은 본 발명을 적용한 액정 장치의 평면도.

도 2는 도 1의 H-H' 선에 있어서의 단면도.

도 3은 본 발명을 적용한 액정 장치의 액정 장치용 기판의 블록도.

도 4a, 도 4b는 각각 액정 장치용 기판에 있어서 매트릭스 상으로 구성되고 있는 화소를 토출해서 도시하는 등가 회로도 및 평면도.

도 5는 도 4b의 A-A'선에 있어서의 단면도.

도 6은 본 발명의 실시예 1에 관한 액정 장치에 이용된 액정 장치용 기판에 있어서 표시영역의 최단부에 형성된 2개의 화소 주변을 확대해서 도시하는 평면도.

도 7은 도 6에 도시하는 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구조를 도시하는 설명도.

도 8a, 도 8b는 각각 도 6에 있어서 제 1차광막의 배선부분과 정전위 배선과의 접속부분을 B-B'선에 따라서 절단한 단면도 및 차광막의 배선부분과 정전위 배선과의 접속부분의 확대 평면도.

도 9a, 도 9b는 각각 제 1 차광막의 배선부분과 정전위 배선과의 접속부분의 변형예 1를 도 6의 B-B'을 따라서 절단했을 때 상당하는 단면도 및 차광막의 배선부분과 정전위 배선과의 접속부분의 확대 평면도.

도 10a, 도 10b는 각각 제 1 차광막의 배선부분과 정전위 배선과의 접속부분의 변형예 2를 도 6의 B-B' 선을 따라서 절단했을 때 상당하는 단면도 및 차광막의 배선부분과 정전위 배선과의 접속부분의 확대 평면도.

도 11a, 도 11b는 각각 제 1 차광막의 배선부분과 정전위 배선과의 접속부분의 변형예 3을 도 6의 B-B' 선을 따라서 절단했을 때에 상당하는 단면도, 및 차광막의 배선부분과 정전위 배선과의 접속부분의 확대 평면도.

도 12는 본 발명의 실시예 1의 개량예 1에 관한 액정 장치에 이용된 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구조를 도시하는 설명도.

도 13은 본 발명의 실시예 1의 개량예 2에 관한 액정 장치에 이용된 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구도를 도시하는 설명도.

도 14는 본 발명의 실시예 1의 개량예 3에 관한 액정 장치에 이용된 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구도를 도시하는 설명도.

도 15는 본 발명의 실시예 2에 관한 액정 장치에 이용된 액정 장치용 기판에 있어서 표시 영역의 최단부에 형성된 2 개의 화소의 주변을 확대해서 도시하는 평면도.

도 16은 도 15에 도시하는 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구도를 도시하는 설명도.

도 17은 본 발명의 실시예 2의 개량예 1에 관한 액정 장치에 이용된 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구도를 도시하는 설명도.

도 18은 본 발명의 실시예 2의 개량예 2에 관한 액정 장치에 이용된 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선부분과 정전위 배선과의 접속 구도를 도시하는 설명도.

도 19는 본 발명의 실시예 2의 개량예 3에 관한 액정 장치에 이용된 액정 장치용 기판에 형성된 제 1 차광막의 배선부분 및 그 배선 부분과 정전위 배선과의 접속 구도를 도시하는 설명도.

도 20은 본 발명의 실시예 3에 관한 액정 장치에 이용된 액정 장치용 기판에 있어서 표시 영역의 최단부에 형성된 2개의 화소의 주변을 확대해서 도시하는 평면도.

도 21은 도 20의 J-J'선에 있어서의 단면도.

도 22는 본 발명의 실시예 4에 관한 액정 장치에 이용된 액정 장치용 기판에 있어서 표시 영역의 최단부에 형성된 2 개의 화소의 주변을 확대해서 도시하는 평면도.

도 23은 도 22의 K-K' 선에 있어서의 단면도.

도 24a 내지 도 24f는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 제조 방법을 도시하는 공정 단면도.

도 25a 내지 도 25e는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 제조방법에 있어서 도 24a 내지 도 24f 에 도시하는 공정 이후에 행하는 각 공정의 공정 단면도.

도 26a 내지 도 26e는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 제조방법에 있어서 도 25a 내지 도 25e 에 도시하는 공정 이후에 행하는 각 공정의 공정 단면도.

도 27a, 도 27b는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 제조 방법에 있어서 도 26a 내지 도 26e에 도시하는 공정 이후에 행하는 각 공정의 공정 단면도.

도 28a 내지 도 28e는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 다른 제조 방법에 있어서 도 24a 내지 도 24f에 도시하는 공정 이후에 행하는 각 공정의 공정 단면도.

도 29a 내지 도 29e는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 제조 방법에 있어서 도 28a 내지 도 28e 에 도시하는 공정 이후에 행하는 각 공정의 공정 단면도.

도 30a, 도 30b는 본 발명을 적용한 액정 장치의 액정 장치용 기판의 제조 방법에 있어서 도 29a 내지 도 29e 에 도시하는 공정 이후에 행하는 각 공정의 공정 단면도.

도 31은 본 발명을 적용해서 호적인 액정 장치의 주변 구동 회로를 구성하는 시프트레지스터 회로의 한예를 도시한 등가 회로도.

도 32a는 본 발명을 적용해서 호적인 액정 장치의 주변 구동 회로를 구성하는 시프트 레지스터 회로의 배치의 한예를 도시한 평면도.

도 32b는 종래의 액정 장치의 주구동 회로를 구성하는 시프트 레지스터 회로이 배치를 도시한 평면도.

도 33a는 본 발명을 적용해서 호적인 액정 장치의 주변 구동 회로를 구성하는 시프트 레지스터 회로의 배치의 한예를 도시한 단면도.

도 33b는 종래의 액정 장치의 주변 구동 회로를 구성하는 시프트 레지스터 회로의 배치를 도시한 단면도.

도 34a 내지 도 34c는 본 발명을 적용해서 호적인 액정 장치의 주변 구동 회로를 구성하는 클록드 인버터, 인버터, 트랜스미션 게이트를 각각 도시한 등가 회로도.

도 35a, 도 35b 는 본 발명을 적용해서 호적인 액정 장치의 주변 구동 회로를 구성하는 인버터 회로의 배치에의 평면도, 및 E-E'선을 따른 단면도.

도 36a 내지 도 36c는 본 발명을 적용해서 호적인 액정 장치의 주변 구동 회로를 구성하는 인버터 회로의 배치에의 평면도, 및 F-F'선을 따른 단면도와 G-G'선을 따른 단면도.

도 37은 종래의 N 채널형 TFT 의 및 본 발명을 적용한 N 채널형 TFT 의 전류-전압특성도.

도 38은 본 발명에 관한 액정 장치용 기판을 이용된 액정 장치를 라이트 밸브로서 응용한 투사형 표시장치의 한예로서의 프로젝터의 개략 구성도.

도 39는 본 발명에 관한 액정 장치용 기판을 이용한 액정 장치에서 대향 기판측에 마이크로 렌즈를 이용한 구성예를 도시하는 단면도.

도면의 주요부분에 대한 부호의 설명

- | | |
|-------------------------------|---------------------|
| 1 : 반도체층 | 1a : 고농도 소스 영역 |
| 1b : 고농도 드레인 영역 | 1c : 채널영역 |
| 1d : 저농도 소스영역 | 1e : 저농도 드레인 영역 |
| 2 : 주사선 | 3 : 데이터선(제 2 의 차광막) |
| 4 : 데이터선과 반도체층의 컨택홀 | |
| 5 : 화소전극(드레인 전극)과 반도체층의 컨택홀 | |
| 6 : 대향 기판측 차광층 | 7 : 제 1 차광막 |
| 8 : 정전위 배선 | |
| 9 : 정전위 배선과 제 1 차광막과의 컨택홀 | |
| 10 : 기판 | 11 : 제 1 층간 절연막 |
| 12 : 게이트 절연막 | 13 : 제 2 층간 절연막 |
| 14 : 화소전극 | 15 : 제 3 층간 절연막 |
| 16 : 제 3 층간 절연막 | 16 : 중계전극(도전막) |
| 17 : 도전막과 제 1 차광막간의 컨택홀 | |
| 18 : 정량배선 | 19 : 저농도 인 이온 |
| 20 : 고농도 인 이온 | 21 : 레지스트 |
| 31 : 대향기판 | 32 : 대향전극 |
| 33 : 마이크로 렌즈 | 34 : 접착제 |
| 35 : 박판 유리 | 40 : 배선 |
| 41, 42 : TFT 의 소스 또는 드레인 전극 | |
| 43 : 게이트 전극 | |
| 44 : 인버터 회로의 게이트 신호 입력 배선 | |
| 45 : 인버터 회로의 드레인 전극(신호 출력 배선) | |
| 46 : P 채널형 TFT | 47 : N 채널형 TFT |

48 : 주변 구동 회로의 정전하 배선(VDD)	
49 : 주변 구동 회로의 부전하 배선(VSS)	
50 : P 형 영역	51 : N 형 영역
52 : P 형 채널 영역	53 : N 형 채널 영역
60 : 구분용의 차광막	100 : 액정 장치
101 : 데이터 샘플링 회로	102 : 화소 TFT
103 : 데이터선 구동 회로	104 : 주사선 구동 회로
105 : 화소	106 : 상하 도통 단자
107 : 실장 단자	108 : 액정
109 : 보조 회로	171 : 스위칭 회로
172, 173 : 신호 배선	200 : 시일재(밀폐부재)
201 : 폴리실리콘 막	300 : 액정 장치용 기판
301 : 알루미늄 막	370 : 램프
371 : 포물밀러	372 : 열선 컷 필터
373, 375, 376 : 다이크로익 미러	374, 377 : 반사 미러
378 : 라이트 밸브(청)	379 : 라이트 밸브(녹)
380 : 라이트 밸브(적)	381 : 적색 반사면
382 : 청색 반사면	383 : 다이크로익 프리즘
384 : 투사 렌즈	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 장치, 투사형 표시 장치 및 액정 장치의 제조 방법에 관한 것으로서, 더욱 상세하게는 박막 트랜지스터(이하, TFT 라고 칭함)를 화소 스위칭용 소자로서 이용된 액정 장치에 있어서의 차광 구조에 관한 것이다.

(종래의 기술)

종래 액티브 매트릭스 구동 방식의 액정 장치로서 유리 기판상에 매트릭스 상으로 화소 전극을 형성하는 동시에 각 화소 전극에 대응해서 어모퍼스 실리콘막이나 폴리실리콘막을 반도체층으로 한 화소 스위칭용 TFT를 형성하고 각 화소 전극에 TFT를 거쳐서 전압을 인가하고 액정을 구동하는 구성이 실용화되고 있다. 화소 스위칭용으로 폴리실리콘 TFT를 사용한 액정장치를 화면 표시부를 구동 제어하기 위한 시프트 레지스터 회로등의 주변 구동 회로를 구성하는 구동 회로용의 TFT를 화소 스위칭용 TFT와 거의 동일 공정으로 형성하는 것이 가능하기 때문에 고집적화에 적합하다고 해서 주목되고 있다.

액티브 매트릭스 구동 방식의 액정 장치에 있어선 표시의 고정 세화를 도모하는 것을 목적으로 대향기판 블랙 매트릭스(또는 블랙 스트라이프)등이라 불리는 크롬막 또는 알루미늄막 등으로 형성한 차광막이 형성되고 있다. 또, 이 차광막을 화소 스위칭용 TFT와 겹치게 형성하고 대향 기판측으로부터 입사되는 빛이 화소 스위칭용 TFT의 채널 영역 및 그 접합 영역에 빛이 도달해서 화소 스위칭용 TFT에 리크 전류가 흐르지 않는 구성을 취하고 있다.

발명이 이루고자하는 기술적 과제

그러나 빛에 의한 리크 전류는 대향기판측으로부터의 입사광뿐 아니라 액정장치용 기판의 뒷면측에 배치된 편광판 등으로 반사된 빛이 화소 스위칭용 TFT의 채널 영역에 조사되는 것이 원인으로 흐르는 수가 있다.

이같은 반사광(반환광)에 의한 리크 전류를 방지하는 방법으로서 일본 특허 공고평 3-52611호엔 화소 스위칭용 TFT의 채널 영역의 하층측에도 차광막을 두는 발명이 제안되고 있다. 그러나 그것에 개시인 발명에선 해당 차광막의 전위가 고정되고 있지 않기 때문에 해당 TFT의 반도체 층과 차광막 사이의 기생용량에 의해서 TFT 특성이 변동하거나 열화된다는 문제점이 있다.

한편, 주변 구동 회로는 화소수의 증가나 액정 장치를 내장하는 전자 기기의 소형화에 따라서 더욱더 고집적화가 바래지고 있다. 특히, 주변 구동 회로를 동일기판내에 내장한 액정 장치에선 회로의 고집적화를 도모하는 기술로서 알루미늄등의 금속막을 절연막을 거쳐서 다층으로 형성해서 배선하는 다층 배선 기술이 쓰이고 있는데 다층 배선 구성으로 할수록 제조 프로세스의 공정수가 증가하고 제조비용이 높아진다는 문제점이 있다.

또, 액티브 매트릭스 구동 방식의 액정 장치의 동작 주파수의 고속화에 따라서 TFT 특성의 향상을 도모하기 위해서 SOI 기술이나 레이저어닐에 의한 재결정화 기술 등을 채용해서 반도체막의 고품질화를 도모하는 시도가 이루어지고 있는데 이같은 방법에 의한 TFT의 특성 향상은 특성의 불균일이 크고 또한 제조 공정이 복잡해진다는 문제점이 있다.

그래서, 이 발명의 목적은 액정 장치 및 그것을 사용한 투사형 표시 장치에 있거나 편광판 등으로 반사된 빛의 영향에 의한 화소 스위칭용의 TFT의 리크 전류를 억제하고 화소 스위칭용 TFT의 특성의 안정화를 도모할 수 있는 기술을 제공하는데 있다.

본 발명의 다른 목적은 액정 장치에 있어서 제조 프로세스의 공정수를 증가시키지 않고 표시 영역의 주변에 설치되는 구동 회로의 고집적화를 도모할 수 있는 기술을 제공하는데 있다.

또한, 본 발명의 다른 목적은 액정 장치에 있어서 제조 프로세스의 공정수를 증가시키지 않고 TFT 특성의 향상을 도모할 수 있는 기술을 제공하는데 있다.

(과제를 해결하기 위한 수단)

상기 과제를 해결하기 위해서 본 발명은 복수의 데이터선 및 복수의 주사선에 의해 화소가 매트릭스상으로 구성된 표시 영역과 및 그 표시 영역으로부터 외주측에서 상기 데이터선 및 상기 주사선의 적어도 한쪽에 접속된 주변 구동 회로와 상기 데이터선 및 주사선에 접속된 복수의 박막 트랜지스터를 구비한 액정장치용 기판과 그 액정 장치용 기판과 대향 기판과 사이에 액정을 끼는 액정 장치에 있어서, 상기 액정 장치용 기판은 적어도 상기 박막 트랜지스터의 채널 영역에 대해서

해당 채널 영역의 하층측에서 층간 절연막을 거쳐서 각각 겹치는 도전성의 제 1 차광막을 가지며 그 제 1 차광막엔 정전압이 인가되게 구성되고 있는 것을 특징으로 한다.

본 발명에 관한 액정 장치에선 데이터선 및 주사선에 접속된 박막 트랜지스터, 즉 화소 스위칭용 TFT의 채널 영역에 겹치게 제 1 차광막이 형성되고 있으므로 액정 장치용 기판의 뒷면측으로부터의 반사광이 있어도 이 빛은 화소 스위칭용 TFT의 채널 영역에 이르지 않는다. 그러므로 화소 스위칭용 TFT에는 액정 장치용 기판의 뒷면측으로부터의 반사광에 기인하는 리크 전류가 발생하지 않는다. 게다가 제 1 차광막의 전위는 주사선 구동 회로의 저전위측의 정전압 전원등에 고정되고 있으므로 TFT 특성이 변동하거나 열화하는 일은 없다.

본 발명에 있어서 제 1 차광막에 정전압을 인가하려면 상기 제 1 차광막에 상기 채널 영역에 겹치는 채널 차광부분과 그 채널 차광부분에 정전압을 인가하기 위해서 해당 채널 차광부분으로부터 연장 설치된 배선 부분을 구성하면 된다.

이 경우에 상기 제 1 차광막의 배선 부분은 예컨대 상기 채널 차광부분의 각각으로부터 상기 주사선 및 상기 데이터선 중의 적어도 한쪽의 신호선을 따라서 상기 표시 영역의 외측까지 각각 연장 설치되고 해당 표시 영역의 외측에서 상기 제 1 차광막과 상이한 층간에 형성된 정전위 배선에 대해서 적어도 상기 층간 절연막의 컨택홀을 경유해서 접속되는 경우도 있다.

또한, 상기 제 1 차광막의 배선부분은, 상기 채널 차광부분의 각각으로부터 상기 주사선 및 상기 데이터선중의 양쪽의 신호선에 따른 상기 표시영역의 외측까지 각각 연장설치되며, 해당 표시영역의 외측에서 상기 제 1 차광막과는 다른 층간에 형성된 정전위 배선에 대하여 적어도 상기 층간 절연막의 컨택홀을 경유하여 접속되는 경우도 있다.

본 발명에 있어서 상기 제 1 차광막의 배선 부분의 각각은 상기 표시 영역의 외측에서 상기 정전위 배선에 대해서 상기 층간 절연막의 컨택홀을 거쳐서 접속하고 있다.

상기 제 1 차광막의 배선 부분은 한쪽측의 단부가 상기 정전위 배선에 대해서 상기 층간 절연막의 컨택홀을 거쳐서 접속해두면 제 1 차광막에 정전압을 인가할 수 있다.

이것에 대해서상기 제 1 차광막의 배선 부분의 양측의 단부가 상기 정전위 배선에 대해서 상기 층간 절연막의 컨택홀을 거쳐서 접속되고 있으면 제 1 차광막의 배선부분의 도중 위치에 단선이 있어도 제 1 차광막의 배선 부분에 정전위 배선에서 정전위가 공급된다. 그러므로 제 1 차광막의 배선 부분엔 용장 배선이 구성되는 것으로 되어 신뢰성이 높다.

본 발명에 있어서 상기 제 1 차광막의 배선부분은 상기 채널 차광 부분의 각각으로부터 상기 주사선 및 상기 데이터선 중의 적어도 한쪽의 신호선을 따라서 상기 표시 영역의 외측까지 각각 연장 설치되어서 해당 표시 영역의 외측에서 상기 제 1 차광막의 배선 부분은 상기 제 1 차광막과 동일 재료로 되는 간선에 접속되어있고 해당 간선이 상기 층간 절연막의 컨택홀을 거쳐서 상기 정전위 배선에 접속하고 있는 것이 바람직하다. 이같이 구성하면 제1 차광막과 정전위 배선과의 접속을 각 차광막의 배선마다 행할 필요가 없고 간선과 정전위 배선과 사이에서 접속을 행하면 좋다. 이 때문에 간선을 배선이 통하고 있지 않은 임의의 위치까지 둘러치고 그곳에서 정전위 배선을 접속하면 좋다. 또, 제 1 차광막과 정전위 배선과의 접속 부분에 있어서 컨택홀을 형성할 때 웨트�칭을 행하면 �칭액의 스머듬에 의해서 층간 절연막등에 클랙이 발생하기 쉬운데 본 발명에선 간선을 임의의 위치로 둘러치고 상기 크랙이 발생할 우려가 있는 장소를 안전한 위치로 한정할 수 있다는 이점도 있다. 또한, 제 1 차광막과 정전위 배선과의 접속을 간선과 정전위 배선과 사이에서 행하므로써 상기의 크랙이 발생할 우려가 있는 장소를 최소한으로 한정하고 있으므로 신뢰성이 높다는 이점도 있다.

이 경우에도 상기 지선의 한쪽측의 단부를 상기 간선에 접속해두면 제 1 차광막을 정전압 인가할 수 있다.

이것에 대해서 상기 지선의 양측의 단부가 상기 간선에 접속하고 있으면 이 지선의 도중 위치 단선이 있어도 제 1 차광막의 배선 부분엔 간선으로부터 정전위가 공급된다. 그러므로 제 1 차광막의 배선부분엔 용장 배선이 구성되므로 신뢰성이 높다.

본 발명에 있어서 상기 제 1 차광막은 상기 화소 스위칭용 TFT의 드레인 영역에 증착해서 축적 용량을 형성하는 용량 배

선에 대해서 적어도 상기 층간 절연막의 컨택홀을 경유해서 접속하고 있을 것이 바람직하다. 또, 상기 제 1 차광막은 상기 화소 스위칭용 TFT의 드레인 영역에 상기 층간 절연막을 거쳐서 중첩해서 축적용량을 구성하고 있을 것이 바람직하다. 이 같이 구성하면 각 용량 배선을 주사선 구동 회로에 끌어들어서 정전위를 인가할 필요가 없으므로 주사선 구동 회로에 대규모 회로를 도입할 때 용이하게 배치할 수 있다.

본 발명에 있어서, 상기 정전위 배선은, 상기 주변 구동회로에 저전위측의 전원을 공급하는 급전선, 상기 액정장치용 기판으로부터 상기 대향기판의 대향전극에 상하 도통재를 끼여 대향전극 전위를 공급하는 급전선 또는 상기 주변 구동회로에 접지전위를 공급하는 급전선 등에 접속되어 있다.

본 발명에 있어서 상기 액정 장치용 기판 및 상기 대향 기판중의 적어도 한쪽의 기판은 상기 표시 영역을 에워싸는 표시 화면 확인용의 차광막을 구비하고 있을 것이 바람직하다.

본 발명에 있어서 상기 액정 장치용 기판은 상기 화소 스위칭용 TFT의 상기 채널 영역의 상층측에서 해당 채널 영역을 덮는 제 2의 차광막을 구비하고 있을 것이 바람직하다. 이 경우의 제 2의 차광막으로선 예컨대 데이터 선을 이용할 수 있다. 또, 상기 채널 영역뿐 아니라 층간 절연막을 거쳐서 적어도 그 채널 영역하에 형성되는 제 1 차광막을 덮게 제 2의 차광막을 형성함으로써 입사된 빛이 제 1 차광막 표면에서 반사되고 화소 스위칭용 TFT의 채널 영역을 조사하는 일이 없게 하면 좋다. 이 같은 구성으로 하면 빛에 의한 TFT의 리크 전류를 저감할 수 있다.

본 발명에 있어서 상기 주변 구동 회로는 P 채널 형의 구동 회로를 TFT 및 N 채널형의 구동 회로용 TFT를 구비하며 그 P 채널형 및 N 채널형의 구동 회로용의 TFT는 상기 화소 스위칭용 TFT의 제조 공정을 겸용해서 형성될 것이 바람직하다. 이 같이 구성한 경우엔 다층 배선의 층수에 한정이 있으므로 상기 주변 구동 회로에선 상기 제 1 차광막과 동시 형성된 도전막도 배선층으로서 유효하게 이용하는 것이 바람직하다.

본 발명에 있어서 상기 제 1 차광막과 동시 형성된 도전막으로 이루는 배선층은 상기 구동 회로용 TFT의 게이트 전극에 대해서 적어도 상기 층간 절연막의 컨택홀을 경유해서 접속하고 또한 해당 구동 회로용 TFT의 게이트 전극의 면적 이하의 면적으로써 해당 구동 회로용 TFT의 채널 영역에 대해서 해당 채널 영역의 하층측에서 상기 층간 절연막을 거쳐서 겹치고 있을 것이 바람직하다.

본 발명에 있어서 상기 제 1 차광막과 동시 형성된 도전막으로 이루는 배선층으로 상기 구동 회로용 TFT의 소스 전극에 대해서 적어도 상기 층간 절연막의 컨택홀을 경유해서 접속하고 또한 해당 구동 회로용 TFT의 채널 영역에 대해서 해당 채널 영역의 하층측에서 겹치고 있을 것이 바람직하다.

본 발명에 있어서 상기 제 1 차광막은 예컨대 텅스텐, 티타늄, 크롬, 탄탈륨, 모리브덴 등의 금속막 또는 이들 금속을 포함하는 금속 실리 사이드 등의 금속 합금막으로 되는 불투명하고 도전성을 갖는 막등으로 구성할 것이 바람직하다. 이같이 차광성이 높고 또한 도전성이 있는 금속막이나 금속 합금막을 사용함으로써 액정장치용 기판 뒷면으로부터의 반사광에 대해서 차광층으로서 기능한다.

본 발명에 있어서 상기 대향 기판엔 상기 화소에 대응해서 제 3의 차광막이 형성되고 있을 것이 바람직하다. 이 경우에 상기 제 3의 차광막은 적어도 그 제 1 차광막을 덮게 형성되고 있을 것이 바람직하다.

이 발명에 있어서 상기 대향기판엔 상기 화소에 대응해서 마이크로 렌즈가 매트릭스상으로 형성되고 있을 것이 바람직하다. 이같이 구성하면 마이크로 렌즈에 의해서 액정 장치용 기판상의 소정 영역에 빛을 모을 수 있으므로 대향기판으로부터 블랙매트릭스 등의 차광막을 생략해도 품위가 높은 표시를 행할 수 있다. 또, 이 발명에 관한 액정 장치는 마이크로 렌즈에 의해 집광한 빛이 액정 장치 용기판 뒷면에서 반사해도 화소 스위칭용 TFT의 채널 영역에 조사되지 않으므로 TFT의 빛에 기인하는 리크 전류는 흐르지 않는다.

이 발명에 관한 액정 장치는 TFT의 빛에 기인하는 리크 전류를 억지하고 있으므로 강한 빛의 조사를 받는 투사형 표시 장치에선 이 발명에 관한 액정 장치에 의해서 광원으로부터의 빛을 변조하고 그 변조된 빛을 투여 광학 수단에 의해서 확대 투사한다.

발명의 구성 및 작용

첨부 도면을 참조해서 이 발명의 실시예에 대해서 설명한다.

(액정 장치의 기본적인 구성)

도 1 및 도 2 는 각각 이 발명을 적용한 액정 장치의 평면도, 및 그 H-H'선에 있어서의 단면도이다.

이들 도면에 도시하듯이 액정 장치(100)는 후술하는 화소가 매트릭스상으로 형성된 직사각형의 표시영역(61)(화면 표시영역), 이 표시영역(61)의 외측영역에 형성된 데이터선 구동회로(103)(주변 구동회로), 및 표시영역(61)의 양측에 형성된 1쌍의 주사선 구동회로(104)(측면 구동회로)를 구비하는 액정 장치용 기판(300)과 이 액정 장치용 기판(300)에 대향 배치된 대향기판(31)으로 개략 구성되고 있다. 액정 장치용 기판(300)에는 후술하는 각 화소(105)마다 ITO 선(Indium Tin Oxide)으로 되는 화소 전극(14)이 형성되어 있다. 대향기판(31)엔 개략 전면에 대향 전극(32)이 형성되고 또한 각 화소(105)에 대응해서 대향 차광막(6)이 형성되고 있다. 대향기판(31)은 유리나 네오세럼, 또는 석영이라는 투명기판상에 ITO 막 등의 투명 도전막으로 되는 대향 전극(32)이 형성되고 있다. 또한, 대향기판(31)엔 액정 장치(100)를 모듈로서 조립했을 때 빛이 누설되지 않게 표시 영역(61)의 외측면을 따라서 주변 구분용의 차광막(60)(표시 화면 구분용의 차광막)이 형성되고 있다. 주변 구분(60)은 예컨대 후에 화면 표시 영역에 대향해서 개구부가 설치된 차광성의 케이스에 액정 장치용 기판(300)이 넣어졌을 경우에 해당 화면 표시영역이 제조 오차 등에 의해 해당 케이스의 개구의 가장자리에 숨어버리지 않게, 즉, 예컨대 액정 장치용 기판(300)의 케이스에 대한 수백 μm 정도의 어긋남을 허용하게 화면 표시 영역의 주위에 적어도 500 μm 이상의 폭을 갖는 띠형상의 차광성 재료로 형성된 것이다.

대향기판(31)과 액정 장치용 기판(300)은 표시영역(61)의 외측에서 주변 구분용의 차광막(60)의 외주연을 따라서 형성된 갭재 함유의 시일재(200)에 의해서 소정의 셀갭을 사이에 두어 맞붙여지며 이 시일재(200)의 내측영역에 액정(108)이 봉입되어 있다. 시일재(200)는 표시영역(61)과 데이터선 구동회로(103)와 사이에선 후술하는 데이터선의 위에서 봉지를 행하고 표시영역(61)과 주사선 구동회로(104)와 사이에선 후술하는 주사선의 위에서 봉지를 행한다. 시일재(200)는 부분적으로 끊어지고 있으며 이 끊어짐부분에 의해서 액정 주입구(241)가 구성되고 있다. 따라서 액정 장치(100)에선 대향기판(31)과 액정 장치용 기판(300)을 맞붙인 후, 시일재(200)의 내측영역을 감압 상태로 하고 액정 주입구(241)로부터 액정(108)을 감압 주입하고 액정(108)을 봉입한 후엔 액정 주입구(241)는 봉지재(242)로 막아진다.

시일재(200)로선 에폭시 수지나 각종의 자외선 경화수지 등이 쓰이며 그것엔 유리 섬유나 유리 비즈 등으로 되는 갭재가 배합되고 있다. 액정(108)으로선 주지의 TN(Twisted Nematic)형 액정 등이 쓰인다. 액정(108)으로서 고분자중에 미소립으로서 분산시킨 고분자 분산형 액정을 쓰면 배향막도 편광판도 불필요해지므로 광 이용효율이 높아지며 밝은 액티브 매트릭스형의 액정 장치(100)를 제공할 수 있다. 또한, 화소전극(14)에 대해선 Tio 막을 대신해서 알루미늄막 등의 비투과이며 반사율이 높은 금속막을 쓰면 액정 장치(100)를 반사형의 액정 장치로서 구성할 수 있다. 이 반사형의 액정 장치(100)의 경우엔 전압부 인가 상태에서 액정 분자가 거의 수직 배향된 SH(Super Homeotropic)형 액정 등을 쓸 수 있다. 또한, 그밖의 액정은 써도 좋다는 것은 말할 것도 없다.

이 실시예에 있어서 대향기판(31)은 액정 장치용 기판(300)보다 작으므로 액정 장치용 기판(300)은 주변 구동회로가 대향기판(31)의 외주연으로부터 빠져나온 상태에서 서로맞붙여진다. 따라서, 주사선 구동회로(104) 및 데이터선 구동회로(103)는 대향기판(31)의 외측에 위치하고 있으며 대향기판(31)과 대향하고 있지 않으므로 폴리이미드 등의 배향막이나 액정이 직류 성분에 의해서 열화되는 것을 방지할 수 있다. 시일재(200)는 대향기판(31)에서 보면 기판 외주연을 따라서 형성되고 있으나 액정 장치용 기판(300)에서 보면 내측에 형성되어 있다. 액정 장치용 기판(300)엔 대향기판(31)에서 외측의 부분에 다수의 실장단자(107)가 형성되고 와이어본딩, 또는 ACF(Anisotropic Conductive Film) 압착등의 방법에 의해서 플렉시블프린트 배선기판이 접속된다.

(액정장치용 기판 및 표시영역의 기본적인 구성)

도 3 은 이 실시예의 액정 장치(100)에 쓰이는 구동회로 내장형의 액정 장치용 기판(300)의 블록도이다. 또한, 도 3엔 액정 장치용 기판(300)의 기본적인 구성 요소를 알기 쉽게 후술하는 액정 장치용 기판(300)측의 제 1 차광막에 대한 도시

를 생각하고 있다.

도 3 으로 알 수 있듯이 액정 장치용 기판(300)의 표시영역(61)에선 기판(10)의 위에 복수의 주사선(2)과 복수의 데이터선(3)에 의해서 복수의 화소(105)가 매트릭스상으로 구성되고 있다. 각 화소(105)의 상세한 블록도와 구성도를 도 4a, 도 4b 에 도시하고 있다. 도 4a, 도 4b 에 도시되듯이 화소(105)에는 주사선(2) 및 데이터선(3)에 접속하는 화소 스위칭용 TFT(102)가 형성되고 있다. 이 TFT(102)에 접속되는 화소전극과 대향기판(31)의 대향전극(32)과 사이에 액정(108)을 끼고 액정 셀 CE 이 구성되고 있다. 액정 셀 CE 에 대해서는 주사선(2)과 동시형성한 용량 배선(18)을 이용해서 축적용량 CAP 이 구성되고 있다. 즉, 이 실시예에선 화소 스위칭용의 TFT(102)를 구성하는 반도체층(1)중, 드레인 영역을 확장하고 이 확장영역을 축적용량 CAP의 제 1 전극으로 하고 주사선(2)과 동시 형성한 용량 배선(18)을 제 2 전극으로 하고 제 1 및 제 2 전극과 사이에 형성된 게이트 절연막을 유전막으로서 축적 용량 CAP 이 구성되고 있다.

여기에서 용량 배선(18)을 형성한 영역은 가로방향의 전계 등의 영향을 받아서 액정의 디스크리네이션이 발생해서 화면 표시 품질의 열화를 일으키는 영역이며 이 영역엔 대향기판(31)의 대향측 차광막(6)(도 2 참조)를 겹쳐서 차광하고 있다.

그런데 이 실시예에선 이같은 데드스페이스로 되어야 할 영역에 용량 배선(18)을 배치하므로써 화소(105)에 있어서 빛이 투과가능한 면적을 쓸모없이 하는일 없고 플리커나 크로스트크 등의 발생을 방지하고 있다. 그러므로 이 실시예의 액정 장치(100)에선 고품위 표시를 행할 수 있다.

또, 이 실시예에선 제 1 차광막(7)에 정전위를 공급하기 위한 예컨대 주사선 구동회로(104)의 저전위측의 정전압 전원 USSY 을 공급하는 데이터선(3)과 동일한 알루미늄막 등으로 형성된 정전위 배선(8)을 이용해서 주사선(2)과 동일한 폴리실리콘막 등으로 형성된 용량 배선(18)을 컨택홀(5)에 있어서 전기적으로 접속해도 좋다. 컨택홀(5)은 데이터선(3)과 고농도 소스 영역(1a)을 접속하기 위한 컨택홀과 동일 공정으로 형성할 수 있다. 이같은 구성으로 하면 제 1 차광막(7)과 용량배선(18)으로 정전위를 공급하는 정전위 배선(8)을 공용할 수 있기 때문에 각각에 전용 배선을 설치할 필요가 없어지며 적은 면적으로 유효하게 배치할 수 있다. 또, 주변 구동회로의 전원이나 대향기판에 대향 전극 전위를 공급하기 위한 정전위 배선을 대응하기 때문에 전용의 실장 단자(107) 및 돌러치기 배선(28)이 필요없게 된다. 따라서 실장단자의 삭감이나 스페이스의 유효 이용이 도모해지므로 특히 액정 장치가 소형화될 수록 유리하게 된다.

또한, 도시 생략하지만 축적 용량 CAP 에 대해선 화소 스위칭용의 TFT(102)를 구성하는 반도체막의 드레인 영역을 연장 설치하고 그것을 전단의 주사선(2)과 게이트 절연막을 거쳐서 겹치므로써 구성하는 것도 가능하다. 액정 장치용 기판(300)에선 데이터선 구동회로(103)의 측의 변부분에는 정전원 VDDX, VSSX, VDDY, VSSY, 변조화상신호 VID1-VID6, 각종 신호(주사선 시프트레지스터 회로(231)의 스타트 신호 DY, 클럭신호 CLY, 그 반전 클럭 신호 CLYB, 데이터선 시프트 레지스터 회로(221)의 스타트 신호 DX, 클럭 신호 CLX, 및 그 반전 클럭 신호 CLXB)등이 입력되는 다수의 실장 단자(107)가 구성되고 있다. 실장단자(107)는 알루미늄막 등의 금속막, 금속 실리사이드막, 또는 IT0 막 등의 도전막으로 구성되고 있다. 이들 실장 단자(107)부터는 주사선 구동회로(104) 및 데이터선 구동회로(103)를 구동하기 위한 복수의 신호 배선(28)이 시일재(200)로부터 기판 외주측을 통해서 각각 돌러쳐지고 있다. 이들 신호선(28)은 데이터선(3)과 동시 형성된 알루미늄 막 등의 저저항인 금속막이나 금속 실리사이드막으로 되며 정전기 저항 등으로 저항을 부가하는 경우는 제 2 층간 절연막(13)에 컨택홀을 개공하고 주사선과 동일 공정으로 동일 재료로 형성된 폴리실리콘막과 컨택홀로 전기적으로 접속하게 해도 좋다. 또한, 실장 단자(107)로부터 외부 입력되는 대향 전극 전위 LCCOM 을 액정 장치용 기판(300)으로부터 대향기판(31)에 공급하기 위해서 액정 장치용 기판(300)에는 상하 도통용 단자(106)가 형성되어 있다. 이 상하 도통용 단자(106)에 소정의 지름을 갖는 상하도통재를 개재시켜서 액정 장치용 기판(300)과 대향기판(31)을 맞붙이면 액정 장치용 기판(300)측으로부터 대향기판(31)의 대향전극(32)에 대해서 대향 전극 전위 LCCOM 을 인가할 수 있다.

액정 장치용 기판(300)에 있어서 데이터선 구동회로(103)의 측에는 데이터선 시프트 레지스터 회로(221), 데이터선 버퍼 회로(222), 데이터선 시프트 레지스터 회로(221)부터 데이터선 버퍼 회로(222)를 거쳐서 출력된 신호에 의거해서 동작하는 TFT 로 되는 아날로그 스위치를 구비하는 데이터 샘플링 회로(101) 및 (6)상에 전개된 각 변조 화상 신호 VID(1)-VID(6)에 대응하는 6 개의 화상 신호선(225)이 구성되고 있다.

데이터선 구동회로(103)의 데이터선 시프트레지스터 회로(221)는 예컨대, 공통의 스타트 신호 DX 가 각 계열마다 입력되

는 복수계열로 구성해도 좋다. 이같이 데이터선 시프트 레지스터 회로(221)를 다계열로 구성하면 클럭 신호 CLX, 및 그 반전 클럭 신호 CLV13의 전송 주파수를 낮게 할 수 있으므로 회로부하를 저감할 수 있다. 데이터선 시프트 레지스터 회로(221)엔 실장 단자(107)를 거쳐서 외부로부터 스타트 신호 DX가 공급되는 동시에 각단의 플립플롭(도시생략)에는 클럭 신호 CLX, 및 그 반전 클럭 신호 CLXB가 공급된다. 따라서 데이터선 시프트 레지스터 회로(221)에선 스타트 신호 DX가 입력된 이후, 클럭 신호 CLX, 및 그 반전 클럭 신호 CLXB의 상승 엣지에 동기해서 시프트 신호(데이터 샘플링 회로(101)의 아날로그 스위치를 구동하기 위한 샘플링 신호(X1, X2, X3...)가 생성되고 출력되어간다. 그리고 데이터선 시프트 레지스터 회로(221)로부터 데이터선 버퍼회로(222)를 거쳐서 데이터 샘플링 회로(101)에 위상이 어긋난 샘플링 신호가 출력되면 이 샘플링 신호에 의거해서 각 아날로그 스위치가 순차 동작한다. 그 결과 화상 신호선(225)을 거쳐서 공급되는 변조 화상 신호 VID(1)~VID(6)는 소정의 타이밍으로 소정의 데이터선(3)에 들어지고 주사선(2)을 거쳐서 공급되는 주사 신호에 의해 선택된 각 화소(105)에 유지된다. 또한, 이 예에선 데이터선(3)을 어느 일정의 타이밍으로 1개마다 순차 구동해가는 방법을 설명했는데 3개나 6개나 12개라고 한 다수의 데이터선(3)을 1개의 샘플링 신호로 동시에 선택하는 한편, 외부로부터 입력하는 변조 화상 신호의 타이밍을 변화시키는 것으로도 마찬가지로 화상 표시가 얻어진다. 또, 데이터선(3)에 공급되는 변조 화상 신호의 상전개수는 6상뿐 아니라 데이터 샘플링 회로(101)를 구성하는 아날로그 스위치 기록 특성이 양호하면 5상 이하여도 좋고 변조 화상신호의 상전개수만큼 화상 신호선(225)이 필요하다는 것은 물론이다. 또한, 데이터선 구동회로(103)를 표시 영역(61)을 끼고 반대측에도 구성함으로써 2개의 데이터선 구동회로(103)로 데이터선(3)을 각각 1개 건너 빗살상으로 구동해도 좋다. 이같은 구성을 취하면 시프트레지스터의 구동 주파수를 반분으로 할 수 있고 회로 부하를 저감할 수 있다.

주사선 구동 회로(104)에서도 마찬가지로 스타트 신호 Dy, 클럭 신호 CLy, 및 그 반전 클럭 신호 CLyB에 의거해서 시프트 신호(주사 신호)를 생성하고 출력해가는 주사선 시프트 레지스터(231), 및 주사선 버퍼 회로(232)가 구성되고 있다. 이 실시예에선 표시영역(61)을 끼고 양측에 주사선 구동 회로(104)를 구성하고 주사선(2)을 양측으로부터 구동하므로 주사선(2)의 구동상의 부하를 경감할 수 있다. 또한, 주사선(2)의 시정수를 무시할 수 있는 경우는 주사선 구동 회로(104)를 표시 영역(61)의 한쪽측만에 구성해도 좋다.

액정 장치용 기판(300)에선 표시영역(61)에 대해서 데이터선 구동 회로(103)가 형성되고 있는 측과 반대측에서 주변 구분용의 차랑막(60)(도 3에서 우상향 경사선을 붙인 영역)에 겹치는 영역엔 데이터선(3)에 대한 보조 회로(1009)도 형성되고 있다. 이 보조 회로(109)는 TFT를 이용한 스위칭 회로(171)와 이 스위칭 회로(171)를 거쳐서 데이터선(3)에 대해서 전기적으로 접속하는 예컨대 2개의 신호배선(172)과 스위칭 회로(71)를 제어하는 신호 배선(173)을 갖는다. 이 보조 회로(109)에선 신호 배선(173)에 공급되는 제어 신호 NRG에 의거해서 스위칭 회로(171)를 동작시키면 데이터선(3)과 신호 배선(172)과의 접속 상태를 제어할 수 있다. 따라서 화상 신호의 1수평 귀선 기간 동안에 제어 신호 NRS(1), NRS(2)로서 미리 인가하는 프리차지 기능에 의해서 실제의 변조 화상 신호 VID(1)~VID(6)를 데이터 샘플링 회로(101)를 거쳐서 데이터선(3)에 기록하는 부하를 경감할 수 있다. 또한, 보조 회로(109)에선 점 결함이나 선 결함을 검출하기 위한 검사용 회로를 구성하거나 상술의 프리차지 기능과 검사 회로를 겸용시키는 것도 가능하다.

도 5는 도 4b의 A-A' 단면도이다.

화소 스위칭용 TFT(162)는 도 4b 및 도 5로 알 수 있듯이 주사선(2)(게이트 전극)과 주사선(2)부터의 전계에 의해서 채널이 형성되는 채널 영역(1c)과 주사선(2)과 채널 영역(1c)와 사이에 형성된 게이트 절연막(12)과 데이터선(3)(소스 전극)에 제 2층간 절연막(13)의 컨택홀(5)을 거쳐서 전기적으로 접속 고농도 소스영역(1a)과 화소전극(14)에 제 2층간 절연막(13) 및 제 3층간 절연막(15)에 형성된 컨택홀(4)을 거쳐서 적기적으로 접속된 고농도 드레인 영역(1b)을 구비하고 있다. 또한, 화소 스위칭용 TFT(102)는 채널영역(1c)과 고농도의 불순물 이온을 때려넣은 소스영역(1a)과의 접합부, 및 채널영역(1c)과 고농도의 불순물 이온을 때려넣은 드레인 영역(1b)과의 접합부의 각각에 저농도의 불순물 이온을 때려넣은 저농도 소스.드레인 영역(1d, 1e)가 형성된 LDD(Lightly Doped Drain)구조로 구성되고 있다.

본 실시예에 있어서 TFT(102)는 데이터선(3)의 아래쪽을 이용해서 구성되며 주사선(2)중 적어도 게이트 전극, 즉 화소 스위칭용 TFT(102)의 채널 영역(1c) 및 저농도 소스.드레인 영역(1d, 1e)은 데이터선(3)에 덮힌 상태에 있다. 이것에 의해 대향기판(37)부터의 입사광이 화소 스위칭용 TFT(102)의 채널영역(1c) 및 저농도 소스.드레인 영역(1d, 1e)에 조사되는 일이 없기 때문에 빛에 의한 TFT의 리크전류를 저감할 수 있다. 이하에 말하는 실시예나 개량예의 기본적인 구성은 상

술의 구성과 마찬가지로이다.

(실시에 1)

도 6은 이 실시예의 액정 장치에 사용한 액정 장치용 기판에 있어서 표시영역의 최단부에 형성된 2 개의 화소의 주변을 확대해서 도시하는 평면도이다.

도 7은 이 실시예의 액정 장치용 기판에 형성된 제 1 차광막의 배선부분(배선) 및 그 배선과 정전위 배선과의 접속 구조를 도시하는 설명도이다. 도 8a, 8b 는 각각 도 6 에 있어서 제 1 차광막의 배선과 정전위 배선과의 접속부분을 B-B' 선을 따라서 절단한 단면도, 및 차광막의 배선과 정전위 배선과의 접속부분의 확대 평면도이다.

도 5에 도시하듯이 이 실시예의 액정 장치(100)의 액정 장치용 기판(300)에선 화소 스위칭용 TFT(102)에 하층측엔 제 1 층간 절연막(11)이 형성되고 이 층간 절연막(11)과 기판(10)과의 층간을 이용해서 이하에 설명하는 차광 구조가 구성되어 있다.

이 실시예에 있어서 제 1 층간 절연막(11)과 기판(10)과의 층간에는 화소 스위칭용 TFT(102)의 채널 영역(1c), 저농도 소스 드레인 영역(1d, 1e) 및 저농도 소스 드레인 영역(1d, 1e)과 고농도 소스 드레인 영역(1a, 1b)와의 접합부에 적어도 겹치게 텅스텐, 티타늄, 크롬, 탄탈륨, 모리브덴 등의 금속막 또는 이것들의 금속을 포함하는 금속 실리사이드 등의 금속 합금막으로 되는 불투명 하고 도전성을 갖는 차광막(7)이 형성되고 있다. 이 실시예에선 화소 스위칭용 TFT(102)의 고농도 드레인 영역(1b)의 하층측에는 제 1 차광막(7)이 형성되고 일치 않는 미소가 있기 때문에 이 제 1 차광막(7)의 유무에 의해서 TFT(102)의 형성 영역에 단차가 생긴다. 이같은 단차는 TFT(102)의 특성을 불안정한 것으로 할 우려가 있다. 그래서 이 실시예에선 단자의 위치를 고농도 드레인 영역(1b)과 저농도 드레인 영역(1e)과의 접합부에서 1 미크론 이상, 고농도 드레인 영역(1b)의 측에 치지게 하므로써 단차가 TFT(102)의 특성에 끼치는 영향을 최소한으로 한정하고 있다.

도 6 으로 알 수 있듯이 제 1 차광막(7)은 채널 영역(1c)등에 그 하층측에서 겹치는 채널 차광부분(71)과 이 차광 부분에 정전압을 인가하기 위해서 주사선(2)의 하층측에서 채널 차광 부분에서 주사선(2)을 따라서 연장 설치된 배선부분(배선)(72)을 구비하고 있다. 이 실시예에선 제조 프로세스의 포토리소그래피 공정에 있어서의 마스크 얼라이먼트시에 마스크 얼라이먼트 어긋남에 의해 주사선(2)과 제 1 차광막(7)의 배선(72)과 사이에서 형성 위치가 어긋나도 입사광(액정(108)을 투과해 온 빛)이 제 1 차광막(7)의 배선에 의해서 차단되거나 차광막(7)의 표면에 직접 빛이 조사되지 않게 제 1 차광막(7)의 배선의 폭을 주사선(2)의 폭보다 다소 좁은 치수로 설정하고 있다. 또한, 도 6 엔 대향기판(31)에 형성한 대향측 차광막(6)과 각 화소(105)와의 위치관계를 도시하고 있으며 점선으로 나타내는 대향측 차광막(66)의 내측 영역에서 표시가 행해진다.

제 1 차광막(7)의 배선은 도 6 및 도 7 에 도시하듯이 각각 각 주사선(2)을 따라서 표시영역(61)의 외측까지 끌어내어지고 주변 구분용의 차광막(60)의 하층측까지 연장 설치되고 있다. 이 주변 구분용의 차광막(60)의 하층측엔 표시영역(61)의 변을 따르게 주사선 구동 회로(104)에 저전위측의 정전압 전원 vssy 을 공급하는 정전위 배선(8)이 배치되고 있으며 이 정전위 배선(8)에 대해서 제 1 차광막(7)의 배선의 한쪽측의 단부가 접속되고 있다. 따라서 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정전압 전원 vssy 을 공급하는 정전위 배선(8)에 접속되고 있기 때문에 제 1 차광막은 이 정전위 배선(8)의 전위에 고정된 상태에 있으며 플로팅 상태에 없다.

제 1 차광막(7)의 배선부분과 정전위 배선(8)과의 접속을 행하는데 있어서 이 실시예에선 도 8a 에 도시하듯이 제 1 차광막(7)의 배선은 제 1 층간 절연막(11)과 기판(10)과의 층간에 있다. 또, 정전위 배선(8)은 데이터선(3)과 동시에 형성된 도전막이기 때문에 제 2 층간 절연막(13)과 제 3 층간 절연막(15)과의 층간에 배치되고 있다. 그래서, 이 실시예에선 도 6, 7, 8a, 8b 에 도시하듯이 제 1 차광막(7)의 배선의 단부는 제 1 층간 절연막(11) 및 제 2 층간 절연막(13)에 형성된 컨택홀(9)을 거쳐서 정전위 배선(8)에 접속되고 있다.

이같은 접속 구조는 제 1 차광막(7)의 배선과 정전위 배선(8)을 접속하기 위한 컨택홀(9)의 형성과 화소 스위칭용 TFT(102)의 소스 영역에 소스 전극(데이터선 3)을 접속하기 위한 컨택홀(5)(도 5 참조)의 형성을 동시에 행한 경우에 상당하며 컨택홀(9)은 한번의 오팅 공정으로 개공된다. 다만, 컨택홀(5)의 개공과 컨택홀(9)의 개공을 동시에 행하려면 화

소 스위칭용 TFT(102)의 고농도 소스 영역(1a)의 컨택홀(5)의 부분의 폴리실리콘막이 에칭되지 않게 제 2 층간 절연막(13)에 대해서 제 1 층간 절연막이 충분히 얇을 것이 바람직하다.

이같이 이 실시예의 액정 장치(100)에선 적어도 화소 스위칭용 TFT(102)의 채널영역(1c), 저농도 소스 드레인 영역(1d, 1e), 및 저농도 소스 드레인 영역(1d, 1e)와 고농도 소스 드레인 영역(1a, 1b)와의 접합부에 대해서 그 하층측에서 제 1 층간 절연막(11)을 거쳐서 겹치는 제 1 차광막(7)(채널 차광부분)이 형성되고 있으므로 액정 장치용 기판(300)의 뒷면측으로부터의 반사광이 있어도 이 빛을 화소 스위칭용 TFT(102)의 채널영역(1c)등에 도달하지 않는다. 그러므로 이 실시예의 액정 장치(100)에선 TFT(102)엔 액정 장치용 기판(300)의 뒷면측으로부터의 반사광에 기인하는 리크 전류가 발생하지 않는다. 게다가 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정전압 전원 vssy의 전위에 고정되고 있으므로 TFT(102)의 반도체층(1)과 제 1 차광막(7)과 사이에 기생하는 용량의 영향을 받아서 TFT 특성이 변동하거나 열화되는 일이 없다.

또한, 제 1 차광막(7)의 표면엔 반사 방지 처리를 실시해두고 입사광(액정 108을 투과해온 빛)이 제 1 차광막(7)의 표면에서 반사하고 화소 스위칭용 TFT(102)로 향해서 조사되고 마는 것을 방지하는 것이 바람직하다.

또, 이 실시예에선 도 4b를 참조해서 설명한 바와 같이 화소 스위칭용 TFT(102)는 데이터선(3)의 아래쪽 부분을 이용해서 구성되며 채널 영역(1c), 저농도 소스 드레인 영역(1d, 1e) 및 저농도 소스 드레인 영역(1d, 1e)와 고농도 소스 드레인 영역(1a, 1b)와의 접합부엔 적어도 데이터선(3)이 씌워진 상태에 있다. 따라서 데이터선(3)은 화소 스위칭용 TFT(102)에 대한 제 2의 차광막으로서 기능하고 채널영역(1c), 저농도 소스 드레인 영역(1d, 1e) 및 저농도 소스 드레인 영역(1d, 1e)와 고농도 소스 드레인 영역(1a, 1b)와의 접합부는 적어도 제 1 차광막(7)과 데이터선(3)(제 2의 차광막)에 의해서 상하로부터 샌드위치로 구조로 되어 있다. 또한, 도 2를 참조해서 설명한 대향측 차광막(6)은 데이터선(3)(제 2의 차광막)에 겹치게 형성되며 채널영역(1c), 저농도 소스 드레인 영역(1d, 1e), 및 저농도 소스 드레인 영역(1d, 1e)와 고농도 소스 드레인 영역(1a, 1b)와의 접합부와 그것들의 아래쪽에 배치된 제 1 차광막(7)에 씌워진 상태에 있다. 따라서 대향 차광막(6)은 화소 스위칭용 TFT(102)에 대한 제 3의 차광막으로서 기능하고 제 2의 차광막으로서의 데이터선(3)에 대한 용장적인 기능을 발휘한다. 그러므로 이 실시예의 액정 장치용 기판(300)에 있어서 TFT(102)엔 대향기판(31)의 측으로부터의 입사광에 기인하는 리크 전류도 발생하지 않는다.

또한, 이 실시예에선 화소 스위칭용 TFT(102)를 LDD 구조의 경우를 예로 설명했는데 저농도 소스 드레인 영역(1d, 1e)에 상당하는 영역에 불순물 이온이 도입되고 있지 않은 오프셋 구조에 이 발명을 적용해도 좋다. 이같은 LDD 구조 또는 오프셋 구조의 TFT에선 내압이 향상하고 또한 오프시에 있어서의 리크 전류를 저감하는 잇점이 있다. 또, 게이트 전극(주사선 2의 일부)을 마스크로해서 고농도 불순물 이온을 때려넣고 소스 드레인 영역을 형성한 셀프 얼라인 구조의 TFT에 이 발명을 적용해도 좋다는 것은 물론이다.

이하에 말하는 제 1 차광막과 정전위 배선과의 접속부분의 변형에는 제 1 실시예와 마찬가지로 구성을 가지며 이들 변형에 있어서는 제 1 차광막과 정전위 배선과의 접속부분에 대해서 설명을 하고 기타의 구성은 생략한다.

(제 1 차광막과 정전위 배선과의 접속부분의 변형에 1)

도 9a, 9b에 도시하듯이 제 1 층간 절연막(11)과 기판(10)과의 층간에 있는 제 1 차광막(7)의 배선과 제 2 층간 절연막(13)과 제 3 층간 절연막(15)과의 층간에 있는 정전위 배선(8)과의 접속엔 제 1 층간 절연막(11) 및 제 2 층간 절연막(13)의 각각에 구멍을 낸 컨택홀(17, 9)을 써도 좋다. 이같은 접속 구조를 채용하는 경우엔 제 1 층간 절연막(11)에 컨택홀(17)을 형성하는 공정과 제 2 층간 절연막(13)에 컨택홀(9)을 형성하는 공정을 따로 따로 행하게 된다. 따라서, 제 1 층간 절연막(11)이 게이트 절연막(12)에 대해서 수천 옹스트롬 단위로 두꺼운 경우에도 화소 스위칭용 TFT(102)의 고농도 소스 영역(1a)에 대해서 컨택홀(5)(도 5 참조)를 형성할 때 동시에 형성하는 것은 어디까지나 거의 같은 깊이의 컨택홀(9), 또는 컨택홀(17)이므로 이 개공시에 TFT(102)의 고농도 소스 영역(1a)이 에칭된다는 일은 없다.

(제 1 차광막과 정전위 배선과의 접속부분의 변형에 2)

도 10a, 10b에 도시하듯이 제 1 층간 절연막(11)과 기판(10)과의 층간에 있는 제 1 차광막(7)의 배선부분과 제 2 층간

절연막(13)과 제 3 층간 절연막(15)과의 층간에 있는 정전위 배선(8)과의 접속은 제 1 층간 절연막(11)에 형성한 컨택홀(17), 이 컨택홀(17)을 거쳐서 제 1 차광막(7)의 배선에 접속하는 중계 전극(16), 및 이 중계전극(16)에 대응하는 위치에 형성된 제 2 층간 절연막(13)의 컨택홀(9)을 이용해도 좋다. 이 경우에 중계전극(16)은 주사선(2)이나 용량 배선(18)과 동시에 형성되는 것으로 된다.

(제 1 차광막과 정전위 배선과의 접속부분의 변형예 3)

도 11a, 11b 에 도시하듯이 제 1 층간 절연막(11)과, 기판(10)과의 층간에 있는 제 1 차광막(7)의 배선과 제 2 층간 절연막(13)과 제 3 층간 절연막(15)과의 층간에 있는 정전위 배선(8)과의 접속은 제 1 층간 절연막(11)에 형성한 컨택홀(17), 이 컨택홀(17)을 거쳐서 제 1 차광막(7)의 배선부분에 접속하는 넓은 중계 전극(16) 및 이 중계전극(16)에 대응하는 영역 중 컨택홀(17)과 어긋난 위치에서 제 2 층간 절연막(13)에 형성된 컨택홀(9)을 이용해도 좋다. 이 경우에도 중계전극(16)은 주사선(2)이나 정량배선(18)과 동시에 형성된다.

(실시에 1 의 개량예 1)

도 7 에 도시하는 실시예에선 정전위 배선(8)에 대해서 제 1 차광막(7)의 배선의 한쪽측의 단부가 접속하고 있는 구성이 있는데 도 12 에 도시하듯이 제 1 차광막(7)의 배선의 양단부를 각 주사선(2)을 따라서 표시영역(61)의 외측까지 끌어내는 동시에 이들 양측의 단부의 각각을 정전위 배선(8)에 접속해도 좋다. 이 경우에도 제 1 차광막(7)과 정전위 배선(8)과는 다른 층간에 형성되고 있으므로 도 8, 도 9, 도 10 또는 도 11 에 도시하는 컨택홀(9)등을 사용한 접속 구조에 이해해서 제 1 차광막(7)의 배선과 정전위 배선(8)을 접속한다. 기타의 구성은 도 6 을 참조해서 설명한 바와 같으므로 생략한다.

이 실시예에서도 화소 스위칭용 TFT(102)의 채널 영역(1c)등의 하층측은 제 1 차광막(7)의 채널 차광 부분으로 덮혀 있으므로 액정 장치용 기판(300)의 뒷면측으로부터의 반사광이 있어도 이 빛은 화소 스위칭용 TFT(102)의 채널 영역(1c)등에 이르지 않는다. 그러므로 이 실시예의 액정 장치(100)에선 TFT(102)엔 액정 장치용 기판(300)의 뒷면측부터의 반사광에 기인하는 리크 전류가 발생하지 않는다. 게다가 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정전압 전원 vssy 을 공급하는 정전위 배선(8)에 접속되고 있기 때문에 제 1 차광막(7)은 이 정전위선(8)의 전위에 고정되고 있다. 따라서 TFT(102)의 반도체층(1)과 제 1 차광막(7)과 사이에 발생하는 용량의 영향을 받아서 TFT 특성이 변동하거나 열화되는 일이 없다.

또한, 이 실시예에선 제 1 차광막(7)의 배선은 양측의 단부의 각각이 정전위 배선(8)에 접속하고 있으므로 배선의 도중 위치에 단선이 있어도 제 1 차광막(7)의 전체에 정전위가 공급된다. 그러므로 제 1 차광막(7)엔 배선에 대한 용장 배선이 구성되고 있는 것으로 되므로 신뢰성이 높다.

(실시에 1의 개량예 2)

도 12 에 도시하는 실시예에선 2 개의 정전위 배선(8)중의 어느 것에 있어서도 그 한쪽 끝으로부터만 정전위가 인가되고 있는 구성이 있는데 도 13 에 도시하듯이 2 개의 정전위 배선중의 어느 것에 있어서도 그 양끝으로부터 정전위가 인가되게 구성하면 더욱 바람직하다. 이같이 구성하면 제 1 차광막(7)에 정전위를 인가하는 정전위 배선(8)에 대해서도 용장 배선을 구성한 것으로 된다. 기타의 구성은 실시예 1 및 그 개량예 1과 같으므로 그것들의 설명을 생략한다.

(실시에 1의 개량예 3)

이 예에선 기본적인 구성이 실시예 1 및 그 개량예 1, 2와 마찬가지로 공통하는 부분에 대해서 설명을 생략한다. 이 예에선 도 14 에 도시하듯이 제 1 차광막(7)의 배선부분은 주사선(2) 및 데이터선(3)의 쌍방을 따라서 격자상으로 형성되고 있다. 따라서 제 1 차광막(7)은 더욱 저저항화되고 또한 용장성이 높아진다. 또, 제 1 차광막(7)은 대향기판(31)의 대향측 차광막(6)(도 2 참조)과 겹치고 있다. 이때문에 제 1 차광막(7)은 대향기판(31)의 대향측 차광막(6)에 대한 용장적인 기능을 발휘하는 동시에 대향기판(31)으로부터 대향측 차광막(6)을 생략하는 것을 가능하게 하고 있다.

이같이 구성한 경우도 제 1 차광막(7)의 배선부분 중, 주사선(2)을 따라서 연장 설치되고 있는 부분의 양측의 단부를 표시영역(61)의 외측까지 연장하고 주변 구분용의 차광막(60)과 겹치는 영역에서 도 8, 9, 10 또는 11 에 도시하는 컨택홀(9) 등을 이용한 접속 구조에 의해서 제 1 차광막(7)의 배선부분과 정전위 배선(8)을 접속하면 좋다.

또한, 도 7, 12, 13, 14에 도시하는 실시예 1에 있어서 컨택홀(9) 등을 이용한 접속구조(도 8, 9, 10 또는 11 에 도시한다)에 의해서 정전위 배선(8)과 접속되는 제 1 차광막(7)의 배선부분은 각 주사선(2) 아래쪽에 각각 독립해서 형성되고 있다. 이들 제 1 차광막(7)의 배선부분을 연장 설치하고 주변 구분용의 차광막(60)과 겹치는 영역하에서 모든 제 1 차광막(7)부터 연장 설치된 배선부분을 그 제 1 차광막(7)과 동일막으로 동일 공정으로 형성되는 금속막 또는 이것들의 금속을 포함하는 금속 실리 사이드 등의 금속 합금막으로 되는 도전성의 막으로 전기적으로 접속하게 하면 배선이 단선되었을 때 용장적인 기능을 발휘함과 더불어 제 1 차광막(7)을 저저항화 할 수 있으므로 유리하다.

(실시예 2)

도 15 는 이 실시예의 액정 장치에 이용된 액정 장치용 기판에 있어서 표시 영역의 최단부에 형성된 2 개의 화소 주변을 확대해서 도시하는 평면도이다. 도 16 은 이 실시예의 액정 장치용 기판에 형성된 제 1 차광막의 배선부분, 및 그 배선부분과 정전위 배선과의 접속 구조를 도시하는 설명도이다. 이 실시예의 액정 장치용 기판(300)의 기본적인 구성은 도 1 내지 5 를 참조해서 설명한 바와 같으며 여기에선 액정 장치용 기판(300)에 구성한 차광구조, 및 이 차광구조를 구성하는 차광막과 정전위 배선과의 접속 구조를 중심으로 설명한다. 또, 이 실시예의 액정 장치의 액정 장치용 기판은 기본적인 구성이 실시예 1에 관한 액정 장치의 액정 장치용 기판과 마찬가지로이므로 공통하는 기능에는 동일 부호를 붙이고 그것들의 상세한 설명은 생략한다.

이 실시예에서도 기본적인 구성은 도 5를 참조해서 설명한 바와같이 제 1 층간 절연막(11)과 기판(10)과의 층간에는 화소 스위칭용 TFT(102)의 채널 영역(1c), (1e)과 고농도 소스 드레인 영역(1d, 1e) 및 저농도 소스 드레인 영역(1d, 1e)과 고농도 소스 드레인 영역(1a, 1b)와의 접합부에 적어도 겹치게 텅스텐, 티타늄, 크롬, 탄탈륨, 모리브덴 등의 금속막 또는 이것들의 금속을 포함하는 금속 실리사이드 등의 금속합금막 등으로 되는 불투명하고 도전성을 갖는 차광막(7)이 형성되고 있다.

이 제 1 차광막(7)은 도 15 및 도 16 에 도시하듯이 채널 영역(1c) 등에 그 하층측에서 겹치는 채널 차광부분(71)과 이 채널 차광 부분에 정전압을 인가하기 위해서 주사선(2)의 하층측에서 채널 차광부분부터 주사선(2)을 따라서 연장 설치된 배선부분(72)을 구비하고 있다.

이 실시예에 있어서 제 1 차광막(7)의 배선부분(72)은 상술의 실시예와 마찬가지로 각 주사선(2)을 따라서 표시 영역(61)으로부터 주변 구분용의 차광막(60)에서 더욱 외측으로 연장되고 있으며(이 배선부분(72)을 이 실시예에선 지선이라 한다), 이것들의 지선(72)의 각 한쪽측의 단부 끼리를 제 1 차광막과 동일 재료로 이루는 각선(73)에 의해 접속되어 있다. 이 각선(73)은 표시 영역(61)과 주사선 구동 회로(104)와 사이에 위치하는 주변 구분용의 차광막(60)과 겹치는 위치에 있다. 여기에서 제 1 차광막(7)의 각선(73)의 한쪽의 단부는 주사선 구동 회로(104)에 저전위측의 정전압 전원 V_{ssy} 를 공급하는 정전위 배선(8)에 겹치고 있으며 이 겹침부분에 있어서 제 1 차광막(7)의 각선(73)과 정전위 배선(8)이 접속하고 있다. 따라서 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정전압 전원 V_{ssy} 을 공급하는 정전위 배선(8)에 접속되고 있기 때문에 제 1 차광막(7)은 이 정전위 배선(8)의 전위에 고정된 상태에 있으며 플로팅 상태에 있지 않다.

또한, 도 5 로 알 수 있듯이 제 1 차광막(7)의 각선(73)도 제 1 층간 절연막(11)과 기판(10)과의 층간에 있으며 정전위 배선(8)은 제 2 층간 절연막(13)과 제 3 층간 절연막(15)과의 층간에 있으므로 제 1 차광막(7)의 각선(73)과 정전위 배선(8)과는 도 8, 도 9, 도 10, 또는 도 11 에 도시하는 컨택홀(9) 등을 이용한 접속 구조에 의해서 접속한다. 기타의 구성은 실시예 1과 개략 같으므로 설명을 생략한다.

이같이 구성한 액정 장치(100)에선 실시예 1과 마찬가지로 화소 스위칭용 TFT(102)의 채널 영역(1c) 등에 겹치게 제 1 차광막(7)이 형성되고 있으므로 액정 장치용 기판(300)의 뒷면측부터의 반사광이 있어도 이 빛은 적어도 화소 스위칭용 TFT(102)의 채널 영역(1c) 등에 이르지 않는다. 그러므로 화소 스위칭용 TFT(102)에는 액정 장치용 기판(300)의 뒷면측부터의 반사광에 기인하는 리크 전류가 발생하지 않는다. 또, 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정

전압 전원 Vssy 을 공급하는 정전위 배선(8)에 접속되고 있기 때문에 제 1 차광막(7)은 이 정전위 배선(8)의 전위에 고정되고 있다. 따라서 TFT(102)의 반도체층(1)과 제 1 차광막(7)과 사이에 기생하는 용량의 영향을 받아서 TFT 특성이 변동하거나 열화한다는 일이 없는 등 실시예 1과 마찬가지로 효과를 나타낸다.

또한, 이 실시예에선 제 1 차광막(7)은 각 주사선(2)을 따라서 연장하는 지선(72)과 이것들의 각 지선의 단부에서 접속되는 간선(73)을 가지며 제 1 차광막(7)은 이 간선(72)을 거쳐서 정전위 배선(8)에 접속되어 있다. 따라서 제 1 차광막(7)과 정전위 배선(8)과의 접속을 각 지선마다 행할 필요가 없고 간선(73)과 정전위 배선(8)과 사이에서 행하면 좋다. 이 때문에 간선을 배선이 통하고 있지 않는 임의의 위치에 둘러치고 그곳에서 제 1 차광막(7)과 정전위 배선(8)을 접속할 수 있다. 또, 제 1 차광막(7)과 정전위 배선(8)과의 접속을 행하기 위한 컨택홀(9)을 형성할 때 웨트 에칭을 행하면 에칭액의 스며들기에 의해서 층간 절연막 등에 클랙이 발생하기 쉬운데 이 실시예에선 간선을 임의의 위치에 둘러치고 상기의 클랙이 발생할 우려가 있는 장소를 안전한 위치에 한정할 수 있다는 이점이 있다. 또한, 제 1 차광막(7)과 정전위 배선(8)과의 접속을 간선(73)과 정전위 배선(8)과 사이에서 행하므로써 상기의 클랙이 발생할 우려가 있는 장소를 1 개소에 한정하고 있으므로 신뢰성이 높다는 이점도 있다.

또한, 이 실시예는 제 1 차광막(7)과 정전위 배선(8)과의 접속을 행하기 위한 컨택홀(9)을 형성할 때 드라이에칭을 행하는 구서에 적용해도 좋다.

(실시예 2의 개량예 1)

도 16 에 도시하는 실시예에선 제 1 차광막(7)의 배선은 지선(72)의 한쪽측의 단부가 간선(73)에 접속하고 있는 구성이었는데 도 17 에 도시하듯이 지선(72)의 양측의 단부를 각 주사선(2)을 따라서 표시 영역(61)의 외측까지 이끌어내는 동시에 이것들의 양측의 단부를 간선(73)에 접속해도 좋다. 이경우에도 제 1 차광막(7)과 정전위 배선(8)과는 상이한 층에 형성되고 있으므로 도 8, 9, 10 또는 11 에 도시하는 컨택홀(9) 등을 이용한 접속 구도에 의해서 제 1 차광막(7)의 배선의 간선(73)과 정전위 배선(8)과는 2 개소에서 접속된다. 기타의 구성은 도 15 를 참조해서 설명한 바와같으므로 설명은 생략한다.

이같이 구성한 경우에도 적어도 화소 스위칭용 TFT(102)의 채널 영역(1c)의 하층측은 제 1 차광막(7)으로 덮혀있으므로 액정 장치용 기관(300)의 뒷면측부터의 반사광이 있어도 이 빛은 적어도 화소 스위칭용 TFT(102)의 채널 영역(1c) 등에 이르지 않는다. 그러므로 이 실시예의 액정 장치(100)에선 TFT(102)에는 액정 장치용 기관(300)의 뒷면측부터의 반사광에 기인하는 리크 전류가 발생하지 않는다. 게다가 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정전압원 Vssy 을 공급하는 정전위 배선(8)에 접속되고 있으므로 제 1 차광막(7)은 이 정전위 배선(8)의 전위에 고정되어 있다. 따라서 TFT(102)의 반도체층(1)과 제 1 차광막(7)과 사이에 기생하는 용량의 영향을 받아서 TFT 특성이 변동하거나 열화된다는 일은 없다.

또, 이 실시예에선 2 개의 간선(73)만이 정전위 배선(8)과 접속하고 제 1 차광막(7)과 저전위 배선(8)과의 접속을 각 지선(72)마다 행할 필요가 없다. 이 때문에 주사선 구동 회로(104)에 인접하는 위치 등, 배선이 통하고 있지 않는 임의의 위치에 간선을 둘러치고 그 곳에서 제 1 차광막(7)과 정전위 배선(8)을 2 개소에서 접속하면 좋다는 등의 실시예(2)와 마찬가지로 효과를 나타낸다.

또한, 제 1 차광막(7)의 배선에 있어서 각 지선은 양측의 단부의 각각이 2 개의 간선에 각각 접속하고 있으므로 각 지선(73)은 그 도중 위치에서 단선이 있어도 간선(72)부터 정전위가 공급된다. 그러므로 제 1 차광막(7)의 배선부분에는 각 지선에 대한 용량 배선이 구성되고 있는 것으로 되므로 신뢰성이 높다.

(실시예 2의 개량예 2)

도 17에 나타내는 형태에서는, 2개의 간선중 어느것에 있어서도, 그 한쪽단에만 정전위 배선(8)이 접속되어 있는 구성이었지만, 도 18에 나타내듯이 2개의 간선(73)중 어느것에 있어서도 그 양측의 단부에 정전위 배선(8)이 접속되도록 구성되면, 더욱 바람직하다. 이와같이 구성되면, 제 1차광막(7)에 있어서 각 지선(72)에 정전위를 인가하는 간선(73)에 대하여서도 긴구멍배선을 구성한 것으로된다. 그밖의 구성은, 실시예 2 및 그 개량예 2와 동일한 것이기 때문에 그것들의 설명

을 생각한다.

(실시에 2 의 개량예 3)

본예에선 기본적인 구성이 실시예 2 및 그 개량예 1, 2와 마찬가지로 공통하는 부분에 대해선 설명을 생각한다. 이 예에선 도 19 에 도시하듯이 제 1 차광막(7)의 배선부분은 지선(72)이 주사선(2) 및 데이터선(3)의 쌍방을 따라서 격자상으로 형성되어 있다. 따라서 제 1 차광막(7)은 다시 저저항화되고 또한 용장성이 높아진다. 또, 제 1 차광막(7)에선 대향 기판(31)의 대향측 차광막(6)(도 2 및 도 15 참조)와 겹치고 있다. 이 때문에 제 1 차광막(7)은 대향 기판(31)의 대향측 차광막(6)에 대한 용장적인 기능을 발휘하는 동시에 대향 기판(31)부터의 대향측 차광막(6)을 생각하는 것을 가능하게 되어있다.

이같이 구성한 경우도 제 1 차광막(7)의 배선부분의 지선(72)중 주사선(2)을 따라서 연장 설치되고 있는 부분의 양측의 단부를 표시 영역(61)의 외측까지 연장하고 주변 구분용의 차광막(60)과 겹치는 영역에서 지선의 단부끼리를 각 간선(73)으로 접속하면 된다. 또, 실시예 2에 있어서 정전위 배선을 주변 구분용의 차광막(60)까지 배선하고 그 주변 구분용의 차광막(60)의 코너 영역에 있어서 제 1 차광막(7)과 접속해도 좋음은 물론이다. 또한, 실시예 1 및 2에 있어서 정전위선(8)에 정전위 신호(예컨대 Vssy)를 공급하기 위한 외부(IC)와 전기적으로 접속되는 실장 단자는 1 개여도 좋으며 2 개 이상 두어서 액정 장치용 기판에서 서로 단락토록해서 배선 저항을 내리거나 용장 구조는 해도 좋다.

(실시에 3)

도 20은 이 실시예의 액정 장치에 이용된 액정 장치용 기판에 있어서 표시 영역의 최단부에 형성된 2 개의 화소의 주변을 확대해서 도시하는 평면도이다. 도 21 은 도 20 의 J-J' 선에 있어서의 단면도이다. 이 실시예의 액정 장치용 기판(300)의 기본적인 구성은 도 1 내지 도 5 를 참조해서 설명한 대로이다. 여기에선 액정 장치용 기판(300)의 차광구조를 구성하는 차광막과 용량 배선(18)과의 접속구조를 중심으로 설명한다. 또, 이 실시예의 액정 장치의 액정 장치용 기판은 기본적인 구성이 실시예 1, 2에 관한 액정 장치의 액정 장치용 기판과 마찬가지로 공통하는 기능을 갖는 부분에는 동일 부호를 붙이고 그것들의 상세한 설명을 생각한다.

이 실시예에서도 도 20 에 도시하듯이 제 1 차광막(7)은 채널 영역(1c) 등에 겹치는 채널 차광부분(71)과 이 채널 차광부분에 정전압을 인가하기 위해서 채널 차광부분부터 주사선(2)을 따라서 연장 설치된 배선(72)으로 구성되고 있다. 제 1 차광막(7)의 배선부분은 각각 각 주사선(2)을 따라서 표시 영역(61)부터 주변 구분용의 차광막(60)에 겹치는 위치까지 연장하는 지선과 이것들의 각 지선의 단부끼리가 접속하는 간선으로 구성되고 있다. 이 제 1 차광막(7)의 간선(73)은 주사선 구동 회로(104)의 저전위측의 정전압 전원 Vssy 을 공급하는 정전위 배선(8)에 겹치고 있으며 이것들의 겹친 부분에 있어서 제 1 차광막(7)의 간선(73)과 정전위 배선(8)은 도 8, 9, 10 또는 11 에 도시하는 콘택홀(9) 등을 거쳐서 접속하고 있다.

또, 각 화소(105)에는 주사선(2)에 병렬로 정량 배선(18)이 형성되고 또한, 이것들의 주사선(2) 및 용량 배선(18)에 겹치게 제 1 차광막(7)이 형성되고 있다. 그래서 이 실시예에선 정량 배선(18)을 주사선 구동 회로(104)까지 연장 설치하지 않고 도 21 에 도시하듯이 정량 배선(18)을 제 1 층간 절연막(11)의 콘택홀(125)을 거쳐서 제 1 차광막(7)의 간선(73)에 접속하고 있다.

이같이 구성한 경우에도 제 1 차광막(7)에는 정전위 배선(8)을 거쳐서 주사선 구동 회로(104)의 저전위측의 정전압 전원 Vssy 이 공급되고 있으므로 정량 배선(18)에도 제 1 차광막(7)의 간선(73)을 거쳐서 정전압 전원 Vssy 이 공급되는 것으로 된다. 그러므로 주사선 구동 회로(104)에 정량 회선(18)마다 정전위를 공급할 필요가 없으므로 그만큼 주사선 구동 회로(104)에 있어서 배선밀도나 콘택홀의 수가 저하된다. 그러므로 주사선 구동 회로(104)에는 대규모 회로를 도입할 수 있는 등의 이점이 있다. 또, 용량 배선에 외부로부터 정전위를 공급하기 위한 실장 단자 및 전용 배선을 설치할 필요가 없다는 이점도 있다.

또한, 도 21 에는 제 1 차광막(7)의 간선과 정전위 배선(8)을 접속함에 있어서 도 8(A)를 참조해서 설명한대로 제 1 층간 절연막(11) 및 제 2 층간 절연막(13)에 형성한 콘택홀(9)을 이용한 실시예를 도시하고 있다. 다만, 제 1 차광막(7)의 간선과 정전위 배선(8)과의 접속에 있어서 도 9, 10, 11 을 참조해서 설명한 접속 구조를 써도 좋다.

(실시에 4)

도 22 는 이 실시예의 액정 장치에 이용된 액정 장치용 기판에 있어서 표시 영역의 최단부에 형성된 2 개의 화소의 주변을 확대해서 도시하는 평면도이다. 도 23 은 도 22 의 K-K' 선에 있어서의 단면도이다. 이 실시예의 액정 장치용 기판(300)의 기본적인 구성은 도 1 내지 도 5 를 참조해서 설명한 대로이며 여기에선 액정 장치용 기판(300)의 차광 구조를 구성하는 차광막을 용량 배선으로서 쓰기 위한 구성을 중심으로 설명한다. 또, 이 실시예의 액정 장치의 액정 장치용 기판은 기본적인 구성이 실시예 2의 개량예 3에 관한 액정 장치의 액정 장치용 기판과 마찬가지로 공통하는 기능을 갖는 부분에는 동일 부호를 붙이고 그것들의 상세한 설명을 생략한다.

이 실시예에서도 도 22에 도시하듯이 제 1 차광막(7)은 채널 영역(1c) 등에 겹치는 채널 차광 부분(71)과 이 채널 차광 부분에 정전압을 인가하기 위해서 채널 차광부분부터 주사선(2) 및 데이터선(3)을 따라서 격자상으로 형성된 배선부분(72)으로 구성되고 있다. 제 1 차광막(7)의 배선부분은 각 주사선(2)을 따라서 표시 영역(61)부터 주변 구분용의 차광막(60)에 겹치는 영역까지 연장하는 지선과 이것들의 각 지선의 단부가 접속하는 간선으로 구성되고 있다. 이 제 1 차광막(7)의 간선(73)은 대향 전극 전위 LCCOM 등의 정전위를 공급하는 정전위 배선(8)에 겹치고 있으며 이것들의 겹침부분에 있어서 제 1 차광막(7)의 간선(73)과 정전위 배선(8)은 도 8, 9, 10 또는 11 에 도시하는 컨택홀(9) 등을 거쳐서 접속하고 있다.

여기에서 제 1 차광막(7)은 도 4a, (B)를 참조해서 설명한 용량 배선(18)과 거의 겹치게 구성되어 있기 때문에 이 실시예에선 도 4a, (B)를 참조해서 설명한 용량 배선(18)을 형성하지 않고 대신 도 23 에 도시하듯이 제 1 차광막(7)이 제 1 층간 절연막(11)을 거쳐서 TFT(101)의 고농도의 드레인 영역(1b)에 겹치고 있는 것을 이용해서 축적용량 CAP 을 구성한다. 즉, 제 1 차광막(7)에는 정전위 배선(8)을 거쳐서 주사선 구동 회로(104)의 저전위측의 정전압 전원 Vssy 가 공급되고 있는 것에서 제 1 차광막(7)은 TFT(102)의 드레인 영역(고농도 영역 1b)과 사이에 제 1 층간 절연막(11)을 유전체막으로 하는 축적용량 CAP 을 구성하게 된다.

(액정 장치용 기판(300)의 제조 방법의 예 1)

액정 장치(100)의 제조 방법중, 액정 장치용 기판(300)의 제조 공정을 도 24a 내지 도 27b를 참조해서 설명한다. 이것들의 도면은 이 실시예의 액정 장치용 기판의 제조 방법을 도시하는 공정 단면도이며 그 어느 도면에 있어서도 그 좌측부분에는 도 4b의 A-A' 선에 상당하는 단면(화소 TFT 부의 단면), 우측부분에는 도 6의 B-B' 선에 상당하는 위치에 있어서의 단면(제 1 차광막(7)과 정전위 배선(8)과의 접속부분의 단면)을 도시하고 있다. 또한, 여기에선 제 1 차광막(7)과 정전위 배선(8)과의 접속부분을 도 9a, 도 9b에 도시하듯이 구성하는 예를 설명한다.

우선, 도 24a에 도시하듯이 유리기판, 예컨대 무알칼리 유리나 석영 등으로 되는 투명한 절연기판(10)의 표면 전체에 스퍼터법등으로 텅스텐, 티타늄, 크롬, 탄탈륨, 모리브덴 등의 금속막 또는 이것들의 금속을 포함하는 금속 실리사이드 등의 금속합금막으로 되는 불투명하고 도전성을 갖는 차광막(70)은 약 500 옴스트롬 약 3000 옴스트롬, 바람직하게는 약 1000 옴스트롬~약 2000 옴스트롬의 두께로 형성한 후, 포토리소그래피 기술을 써서 도 24b에 도시하듯이 패터닝하고 제 1 차광막(7)을 형성한다. 이 제 1 차광막(7)은 적어도 후에 형성되는 화소 스위칭용의 TFT(102)의 채널 영역(1c), 저농도 소스 드레인 영역(1d, 1e) 및 저농도 소스 드레인 영역(1d, 1e)와 고농도의 소스 드레인 영역(1a, 1b)과의 접합부를 절연기판(10)의 뒷면에서 보아 덮듯이 형성한다(도 5 참조). 이같이 형성한 제 1 차광막(7)중, 화소 스위칭용 TFT(102)의 채널 영역에 대응해서 형성된 부분이 채널 차광부분이며 정전위 배선(8)과 접속하게 형성된 부분이 배선 부분이다.

다음에 도 24c에 도시하듯이 제 1 차광막(7)의 표면에 약 500 옴스트롬~약 15000 옴스트롬, 바람직하기는 약 8000 옴스트롬의 제 1 층간 절연막(11)을 형성한다. 이 제 1 층간 절연막(11)은 제 1 차광막(7)과 후에 형성되는 반도체층(1)을 절연하는 것이며 예컨대 상압 CVD 법이나 감압 CVD 법 또는 TEOS 가스 등을 써서 산화실리콘막이나 질화실리콘 등의 절연막으로서 형성된다. 또한, 제 1 층간 절연막(11)을 절연기판(10)의 전면에 성막하는 것에 의해서 기층막으로서의 효과가 얻어진다. 즉, 절연기판(10) 표면의 연마시에 있어서의 거칠음이나 불충분한 세력에 의한 더러움 등에서 화소 스위칭용 TFT(102)의 특성 열화를 방지할 수 있다.

다음에 도 24d에 도시하듯이 제 1 층간 절연막(11)의 표면 전체에 두께가 약 500 옴스트롬~약 2000 옴스트롬, 바람직하

기는 약 1000 옹스트롬의 폴리실리콘막(1a)을 형성한다. 방법으로선 기판(10)을 약 450℃~약 550℃, 바람직하게는 500℃ 정도로 가열하면서 모노실란가스 또는 디실란가스를 약 400cc/min~약 600cc/min의 유량으로 공급하고 압력 약 20pa~약 40pa로 어모퍼스 실리콘막을 형성한다. 이후, 질소분위기중에서 약 600℃~약 700℃로 약 1시간~약 10시간, 바람직하게는 약 4시간~약 6시간의 어닐 처리를 실시하고 고상 성장시키고 폴리실리콘막은 형성한다. 또, 폴리실리콘막(1a)은 감압 CVD 법 등에 의해 직접 성막해도 좋으며 감압 CVD 법 등으로 퇴적한 폴리실리콘막에 실리콘 이온을 때려넣고 일단 비정질화하고 어닐등으로 재결정화시키고 폴리실리콘막을 형성해도 좋다.

다음에 포토리소그래피 기술을 써서 도 24e에 도시하듯이 패터닝하고 화소 스위칭용 TFT 부(102)에 성형상의 반도체층(1)(능동층)을 형성한다. 이것에 대해서 정전위 배선(8)과의 접속부분에선 폴리실리콘층(1a)을 완전히 제거한다.

다음에 도 24f에 도시하듯이 반도체층(1)을 약 900℃~약 1300℃의 온도로 열산화함으로써 반도체층(1)의 표면에 두께가 약 500 옹스트롬~약 1500 옹스트롬의 실리콘 산화막으로 되는 게이트 절연막(12)을 형성한다. 이 공정에 의해 반도체층(1)의 막 두께는 최종적으로 약 300 옹스트롬~약 1500 옹스트롬, 바람직하게는 약 350 옹스트롬~약 450 옹스트롬의 두께로 되며 게이트 절연막(12)은 약 200 옹스트롬~약 1500 옹스트롬의 두께로 된다. 또한, 8인치 정도의 대형기판을 사용하는 경우, 열에 의한 기판의 휨을 방지하기 위해선 열산화 시간을 짧게 해서 열산화막을 얇게 하고 이 열산화막상에 고온 산화 실리콘막(HTO 막)이나 질화실리콘막을 CVD 법등으로 퇴적해서 2층 이상의 다층 게이트 절연막 구조를 형성해도 좋다.

다음에 도 25a에 도시하듯이 주사선(2)(게이트 전극)을 형성하기 위한 폴리실리콘막(201)을 기판(10) 전면에 형성한 후, 인을 열확산하고 폴리실리콘막(201)을 도전화한다. 또는 인을 폴리실리콘막(201)의 성막과 동시에 도입한 도프트 실리콘막을 써도 좋다.

다음에 폴리실리콘막(201)을 포토리소그래피 기술을 써서 도 25b에 도시하듯이 패터닝하고 화소 스위칭용 TFT(102)부의 측에 게이트 전극(주사선 2의 일부)을 형성한다. 이것에 대해서 정전위 배선(8)과의 접속부분에선 폴리실리콘막(201)을 완전히 제거한다. 또한, 주사선(2)(게이트 전극)의 재료로서 금속막이나 금속 실리콘사이드막 등으로도 좋고 금속막이나 금속 실리콘사이드막과 폴리실리콘막을 조합해서 다층으로 게이트 전극을 구성해도 좋다. 특히, 금속막이나 금속 실리콘사이드막은 차광성을 갖기 때문에 주사선(2)을 차광막으로의 배선하므로서 블랙 매트릭스로서 대응하는 것이 가능으로 되며 대향 기판(31)상의 대향측 차광막(6)을 생략할 수 있다. 이것에 의해서 대향 기판(31)과 액정 장치용 기판(300)과의 맞붙임 어긋남에 의한 화소 개구율의 저하를 방지할 수 있다.

다음에 도 25c에 도시하듯이 화소 스위칭용 TFT(102)부 및 주변 구동 회로의 N 채널 TFT 부의 측에는 게이트 전극을 마스크로서 약 $0.1 \times 10^{12}/\text{cm}^2$ ~약 $10 \times 10^{12}/\text{cm}^2$ 의 도즈량으로 저농도의 불순물 이온(인 등)(19)의 때려넣기를 행하고 화소 스위칭용 TFT(102)부의 측면 게이트 전극에 대해서 자기 정합적으로 저농도 소스 드레인 영역(1d, 1e)을 형성한다. 여기에서 게이트 전극의 아래쪽에 위치하고 있기 때문에 불순물 이온(100)이 도입되지 않았던 부분은 반도체층(1)인 채널 영역(1c)으로 된다. 이같이 해서 이온 때려넣기를 행한때에는 게이트 전극으로서 형성되어 있던 폴리실리콘층에도 불순물 이온이 도입되므로 그것은 또한 도전화되는 것으로 된다.

다음에 도 25d에 도시하듯이 화소 스위칭용 TFT(102)부 및 주변 구동 회로의 N 채널 TFT 부의 측에는 게이트 전극보다 폭이 넓은 레지스트 마스크(21)를 형성하고 고농도의 불순물 이온(인 등)(20)을 약 $0.1 \times 10^{15}/\text{cm}^2$ ~약 $10 \times 10^{15}/\text{cm}^2$ 의 도즈량으로 때려넣고 고농도의 소스 영역(1a) 및 드레인 영역(1b)을 형성한다.

이것들의 불순물 도입 공정을 대신해서 저농도의 불순물 이온이 때려넣기를 행하지 않고 게이트 전극보다 폭이 넓은 레지스트 마스크를 형성한 상태에서 고농도의 불순물 이온(인 등)을 때려넣고 오프 세트 구조의 소스 영역 및 드레인 영역을 형성해도 좋다. 또, 게이트 전극을 마스크로서 고농도의 불순물 이온(인 등)을 때려넣고 셀프얼라인 구조의 소스 영역 및 드레인 영역을 형성해도 좋음은 물론이다.

또, 도시생략이나 주변 구동 회로의 P 채널 TFT 부를 형성하기 위해서 화소 스위칭용 TFT(102)부 및 N 채널 TFT 부를 레지스트로 피복 보호하고 게이트 전극을 마스크로서 약 $0.1 \times 10^{15}/\text{cm}^2$ ~약 $10 \times 10^{15}/\text{cm}^2$ 의 도즈량으로서 보론 등의 불순물 이온을 때려넣으므로 자기 정합적으로 P 채널의 소스 드레인 영역을 형성한다. 또한, 화소 TFT 부 및 주변 구동 회로

의 N 채널 TFT 부의 형성시와 마찬가지로 게이트 전극을 마스크로서 약 $0.1 \times 10^{13}/\text{cm}^2 \sim$ 약 $10 \times 10^{13}/\text{cm}^2$ 의 도즈량으로 저농도의 불순물 이온(보론 등)을 도입하고 폴리실리콘막에 저농도 소스 드레인 영역을 형성한 후, 게이트 전극에서의 폭이 넓은 마스크를 형성하고 고농도의 불순물 이온(보론 등)을 약 $0.1 \times 10^{15}/\text{cm}^2 \sim$ 약 $10^{15}/\text{cm}^2$ 의 도즈량으로 패터닝하고 LDD 구조의 소스 영역 및 드레인 영역을 형성해도 좋다. 또, 저농도의 불순물 이온의 패터닝을 행하지 않고 게이트 전극보다 폭이 넓은 마스크를 형성한 상태에서 고농도의 불순물 이온(보론 등)을 패터닝하고 오프셋 구조의 소스 영역 및 드레인 영역을 형성해도 좋다. 이것들의 이온 패터닝 공정에 의해서 상보형화가 가능으로 되며 주변 구동 회로의 동일 기판내로의 내장화가 가능으로 된다.

다음으로 도 25e에 도시하듯이 게이트 전극의 표면측에 상압 CVD 법이나 감압 CVD 법 등에 의해 예컨대 800°C 정도의 온도 조건하에서 두께가 약 5000 Å스트롬 \sim 약 15000 Å스트롬의 NSG 막(보론이나 인을 포함하지 않는 실리케이트 유리막)이나 질화실리콘막 등으로 되는 제 2 층간절연막(13)을 형성한다. 그리고 소스 드레인 영역에 도입한 불순물 이온을 활성화하기 위해서 예컨대 1000°C 정도의 어닐을 실시한다.

다음에 정전위 배선(8)과의 접속부분에선 제 1 차광막(7)의 배선 부분에 상당하는 영역에 콘택홀(9)을 형성한다. 이때는 반응성 이온에칭, 반응성 이온 및 에칭 등의 드라이 에칭에 의해서 이방성의 콘택홀(9)을 형성한쪽이 개공 지름을 거의 마스크의 치수대로 형성할 수 있기 때문에 고정세화에 유리하다. 또, 드라이 에칭과 웨트 에칭을 조합해서 행하고 콘택홀(9)을 레이저상으로 형성하면 배선 접속시의 단선 방지에 효과가 있다.

다음에 도 26a에 도시하듯이 포토리소그래피 기술을 써서 화소 스위칭용 TFT(102)부의 측에선 제 2 층간 절연막(13)중, 소스 영역(1a)에 대응하는 부분에 콘택홀(5)을 형성한다. 또, 정전위 배선(8)과의 접속부분에선 제 2 층간 절연막(13)에 대해서 콘택홀(9)에 접속하는 콘택홀(17)을 형성한다.

다음에 도 26b에 도시하듯이 층간 절연막(13)의 표면측에 데이터선(3)(소스 전극)을 구성하기 위한 알루미늄막(301)을 스퍼터법 등으로 형성한다. 알루미늄 등의 금속막 외에 금속 실리사이드막이나 금속 합금막을 써도 좋다.

다음에 도 26c에 도시하듯이 포토리소그래피 기술을 써서 알루미늄막(301)을 패터닝하고 화소 스위칭용 TFT(102)부에선 데이터선(3)의 일부분으로서 소스 전극을 형성한다. 한편, 정전위 배선(8)과의 접속부분에선 정전위 배선(8)을 형성한다.

다음에 도 26d에 도시하듯이 소스 전극 및 전위 배선(8)의 표면측에 상압 CVD 법이나 상압 오존 TEOS 법 등에 의해 예컨대 400°C 정도의 온도로 건하에서 두께가 약 500 Å스트롬 \sim 약 15000 Å스트롬의 BPSG 막(보론이나 인을 포함하는 실리케이트 유리막)과 약 100 Å스트롬 \sim 약 3000 Å스트롬의 NSG 막의 적어도 2 층을 포함하는 제 3 층간 절연막(15)을 형성한다. 또, 유기막 등을 스프인 코트에 의해 도포하므로서 단화 형상이 없는 평탄화막을 형성해도 좋다.

다음에 도 26e에 도시하듯이 화소 스위칭용 TFT(102)부의 측에선 포토리소그래피 기술 및 드라이 에칭법 등을 써서 제 2 및 제 3 층간 절연막(13, 15)중 고농도 드레인 영역(16)에 대응하는 부분에 콘택홀(4)을 형성한다. 이때에도 반응성 이온 에칭, 반응성 이온법 에칭 등의 드라이 에칭에 의해 이방성의 콘택홀을 형성한 쪽이 고정세화에 유리하다. 또, 드라이 에칭과 웨트 에칭을 조합해서 행하고 콘택홀(4)을 테이퍼상으로 형성하면 배선 접속시의 단선 방지에 효과가 있다.

다음에 도 27a에 도시하듯이 제 3 층간 절연막(15)의 표면측에 드레인 전극을 구성하기 위한 두께 약 4000 Å스트롬 \sim 약 2000 Å스트롬의 ITO 막(140)을 스퍼터법 등으로 형성한 후, 도 27b에 도시하듯이 포토리소그래피 기술을 써서 ITO 막(140)을 패터닝하고 화소 스위칭용 TFT(102)부에는 화소 전극(14)을 형성한다. 또, 정전위 배선(8)과의 접속부분에는 ITO 선(140)을 완전히 제거한다. 또한, 화소 전극(14)의 표면에는 폴리이미드 등의 배향막이 형성되며 러빙 처리된다. 화소 전극(14)으로서 ITO 막에 한하지 않으며 SnOx 막이나 ZnOx 막 등의 고융점의 금속 산화물 등으로 되는 투명 전극 재료를 사용하는 것도 가능하며 이것들의 재료이면 콘택홀 내에서의 스텝 커버리지도 실용에 견딜 수 있는 것이다. 또, 반사형의 액정 장치를 구성하는 경우에는 화소 전극(14)으로서 알루미늄 등의 반사율이 높은 막을 형성한다.

또한, 도 25e 및 도 26a에 도시하는 공정에 있어서 정전위배선(8)과의 접속부분에서 콘택홀(9, 17)을 따로따로 형성하지 않고 콘택홀(5)을 형성할 때 콘택홀(9)을 동시 형성하면 정전위 배선(8)과 제 1 차광막(7)과의 접속 부분을 도 8 에 도시하듯이 구성할 수 있다.

(액정장치용 기판(300)의 제조 방법의 예 2)

액정 장치(100)의 제조 방법중, 액정 장치용 기판(300)의 다른 제조 공정을 도 28 내지 도 3을 참조해서 설명한다. 이것들의 도면도 액정 장치용 기판의 제조 방법을 도시하는 공정 단면도이며 그 어느 도면에 있어서도 그 좌측 부분에는 도 4b의 A-A' 선에 상당하는 위치에 있어서의 단면(화소 TFT 부의 단면), 우측부분에는 도 6의 B-B' 선에 상당하는 위치에 있어서의 단면(제 1 차광막(7)과 정전위 배선(8)과의 접속부분의 단면)을 도시하고 있다. 또한, 여기에선 제 1 차광막(7)과 정전위 배선(8)과의 접속부분을 도 10 또는 도 11에 도시하듯이 구성하는 예를 설명한다. 또, 이 제조 방법에선 앞에 설명한 제조 방법과 도 24a에 도시하는 공정에서 도 24f에 도시하는 공정까지는 공통이므로 도 24f에 도시하는 공정 이후의 공정에 대해서 설명한다.

이 실시예에선 도 24f에 도시하듯이 열산화법 등에 의해 반도체층(1)의 표면에 두께가 약 500 옹스트롬~약 1500 옹스트롬의 실리콘 산화막으로 되는 게이트 절연막(12)을 형성한 후, 도 28a에 도시하듯이 정전위 배선(8)과의 접속부분에선 제 1 층간 절연막(11)에 콘택홀(17)을 형성한다. 다음에 게이트 전극 등을 형성하기 위한 폴리실리콘막(201)을 기판(10) 전면에 형성한 후, 인을 열확장하고 폴리실리콘막(201)을 도전화한다. 또는 인을 폴리실리콘막(201)의 성막과 동시에 도입한 도프트 실리콘막을 써도 좋다.

다음에 폴리실리콘막(201)을 포토리소그래피 기술을 써서 도 28b에 도시하듯이 패터닝하고 화소 TFT 부의 측에 게이트 전극(주사선 2의 일부)을 형성한다. 이것에 대해서 정전위 배선(8)과의 접속부분에선 중계 전극(16)을 형성한다.

다음에 도 28c에 도시하듯이 화소 스위칭용 TFT(102)부 및 주변 구동 회로의 N 채널 TFT 부의 측에는 게이트 전극을 마스크로서 저농도의 불순물 이온(인 등)(19)의 때려넣기를 행하고 화소 스위칭용 TFT(102)부의 측에는 게이트 전극에 대해서 자기 정합적으로 저농도 소스 드레인 영역(1d, 1e)을 형성한다. 여기에서 게이트 전극의 바로 밑에 위치하고 있기 때문에 불순물이온(100)의 도입되지 않았던 부분은 반도체층(1)인 채로 채널 영역(1c)으로 된다. 이같이 해서 이온 때려넣기를 행한 때에는 게이트 전극으로서 형성

되고 있던 폴리실리콘 및 중계 전극(16)으로서 형성되어 있던 폴리실리콘막에도 불순물 이온이 도입되므로 그것들은 또한 도전화하게 된다.

다음에 도 28d에 도시하듯이 화소 스위칭용 TFT(102)부 및 주변 구동 회로의 N 채널 TFT 부의 측에는 게이트 전극보다 폭이 넓은 레지스트 마스크(21)를 형성해서 고농도의 불순물 이온(인 등)(20)을 때려넣고 고농도의 소스 영역(1a) 및 드레인 영역(1b)을 형성한다.

다음에 도 28e에 도시하듯이 게이트 전극 및 중계 전극(16)의 표면측에 CVD 법 등에 의해 예컨대 800℃ 정도의 온도 조건 하에서 두께가 약 5000 옹스트롬~약 15000 옹스트롬의 NSG 막(보론이나 인을 포함하지 않는 실리콘이트 유리막) 등으로 되는 제 2 층간 절연막(13)을 형성한다.

다음에 도 29a에 도시하듯이 포토리소그래피 기술을 써서 화소 TFT 부의 측에선 제 2 층간 절연막(13)중 소스 영역(1a)에 대응하는 부분에 콘택홀(5)을 형성한다. 또, 정전위 배선(8)과의 접속부분에선 제 2 층간 절연막(13)에 대해서 중계 전극(16)에 대응하는 위치에 콘택홀(9)을 형성한다.

다음에 도 29b에 도시하듯이 제 2 층간 절연막(13)의 표면측에 데이터선(3)(소스 전극)을 구성하기 위한 알루미늄막(301)을 스퍼터법 등으로 형성한다. 알루미늄 등의 금속막 외에 금속 실리콘사이드막이나 금속 합금막을 써도 좋다.

다음에 도 29c에 도시하듯이 포토리소그래피 기술을 써서 알루미늄 막(301)을 패터닝하고 화소 스위칭용 TFT(102)부에선 데이터선(3)의 일부로서 소스 전극을 형성한다. 한편, 정전위 배선(8)과의 접속부분에선 정전위 배선(8)을 형성한다.

다음에 도 29d에 도시하듯이 소스 전극 및 전위 배선(8)의 표면측에 CVD 법 등에 의해, 예컨대, 400℃ 정도의 온도 조건 하에서 두께가 약 500 옹스트롬~약 15000 옹스트롬의 BPSG 막(보론이나 인을 포함하는 실리콘이트 유리막)과 약 100 옹스트롬~약 3000 옹스트롬의 NSG 막의 적어도 2 층을 포함하는 제 3 층간 절연막(15)을 형성한다.

다음에 도 29e에 도시하듯이 화소 TFT 부의 측에선 포토리소그래피 기술 및 드라이 에칭법 등을 써서 제 2 및 제 3 층간 절연막(13, 15) 중 드레인 영역(1b)에 대응하는 부분에 컨택홀(4)을 형성한다.

다음에 도 30a에 도시하듯이 제 3 층간 절연막(15)의 표면측에 드레인 전극을 구성하기 위한 두께가 약 400 옹스트롬~약 2000 옹스트롬의 ITO 막(140)을 스퍼터법 등으로 형성한 후, 도 30(B)에 도시하듯이 포토리소그래피 기술을 써서 ITO 막(140)을 패터닝하고 화소 TFT부 에는 화소 전극(14)을 형성한다. 또, 정전위 배선(8)과의 접속부분에선 ITO 막(140)을 완전히 제거한다.

또한, 도 28b 및 도 29a에 도시하는 공정에 있어서 중계 전극(16)을 패터닝 형성하는 위치, 및 컨택홀(17)을 형성하는 위치를 바꾸면 정전위 배선(8)과 제 1 차광막(7)과의 접속 구조를 도 10 및 도 11 중의 어느 실시예로도 구성할 수 있다.

(주변 구동 회로의 구성)

본 발명에선 제 1 층간 절연막(11)과 기판(10)과 사이에 제 1 차 광막(7)을 형성하는 것에서 타종 배선을 이용한 주변 구동 회로(주사선 구동 회로(104) 및 데이터선 구동회로(103))에 있어서 또한 배선층을 1 층분, 증가한 것으로 된다. 그래서 이같은 제 1 차광막(7)과 동시 형성한 도전 막을 주변 구동 회로에 있어서 배선으로서 쓰는 예를 이하에 설명한다.

(주변 구동 회로의 구성에 1)

도 31은 본 발명을 적용해서 호적인 액티브 매트릭스형의 액정장치(100)의 주변 구동 회로(주사선 구동 회로(104) 및 데이터 구동 회로(103))를 구성하는 시프트 레지스터 회로의 등가 회로의 1 예를 도시하는 등가 회로도이다. 전송 신호를 래치하는 회로는 트랜스미션 게이트 회로로 구성해도 좋으며 클록드 인버터 회로 등으로 구성해도 좋다.

도 32a, 도 32b는 도 31 에 있어서의 시프트 레지스터 회로의 S 부분을 액정 장치 기판(300)상에 집적해서 형성할 때의 레이아웃 평면도의 1 예를 도시하고 있다.

도 32a 는 종래의 패턴 레이아웃이며 도 32b 는 본 발명을 적용한 패턴 레이아웃이다. 또, 도 33a 및 도 33b 는 각각 도 32a 에 있어서의 C-C' 부분의 단면도, 및 도 32b 에 있어서의 D-D' 부분의 단면도이다.

도 32a, 도 33a 에 있어서 부호 50, 51, 46은 각각 P 형 영역, N 형 영역, 및 구동 회로용의 P 채널형 TFT 이다. 이들 도면에 도시하는 종래예에선 본단의 시프트 레지스터 회로와 다음 단의 시프트 레지스터 회로와의 접속부(N4)에 배선을 통할 때는 트랜스미션 게이트 회로를 제어하는 클록 신호선 CL(상기 주사선과 동일 공정, 동일층으로 형성)의 표면에 형성한 제 2 층간 절연막(13)의 위에서 데이터선(3)과 동일 공정으로 형성한 동일 층간의 알루미늄 등의 금속막 등으로 되는 배선(40)을 쓰고 있었다. 그 결과 종래예에선 트랜스미션 게이트 회로의 소스 드레인 전극(41, 42)이 배선(40)과 동일층으로 형성된다. 이때문에 트랜스미션 게이트 회로간의 거리(L1)는 배선(40)과 트랜스미션 게이트 회로의 소스 드레인 전극(41, 42)과 포토리소그래피 공정 및 에칭 공정시의 치수 정밀도에 의해 결정되므로 트랜스미션 게이트 회로간의 거리(L1)는 배선(40)이 통하는 분만큼이 이상 미세화할 수 없고 고집적화의 방해로 되어 있었다.

그런데 이 실시예에선 상기의 각 실시예에서 설명한 바와 같이 기판(10)과 제 1 층간 절연막(11)과 사이에는 제 1 차광막(7)이 형성되고 있으므로 이 제 1 차광막(7)을 주변 구동 회로 부분에도 구성하고 도 32b, 도 33b 에 도시하듯이 제 1 차광막(7)을 주변 구동 회로의 배선 재료로서 쓰므로써 미세화를 실현한다. 즉 도 32b, 도 33b 에 도시하듯이 본단의 시프트 레지스터 회로와 차단의 시프트레지스터 회로와의 접속부(N4)의 배선 재료로서 제 1 층간 절연막(11)과 기판(10)과 사이에 형성한 제 1 차광막(7)을 쓰는 것에 의해서 트랜스미션 게이트 회로의 소스 및 드레인 전극(41, 42)과 동일 층간에는 배선이 없어진다. 따라서, 트랜스미션 게이트 회로간의 거리(L2)는 이웃하는 트랜스미션 게이트 회로의 소스 드레인 전극(41, 42)간의 간격만을 고려하면 된다. 따라서, 이 실시예에선 트랜스미션 게이트 회로간의 거리(L2)의 거리는 종래의 트랜스미션 게이트 회로간의 거리(L1) 보다 늘 좁게 되어 있다.

(주변 구동 회로의 구성에 2)

이 예에선 종래와 동일한 공정수에 의해 주변 구동 회로(주사선 구동 회로 및 데이터 선 구동 회로)용의 TFT 의 특성 향상을 도모할 수 있다는 것을 설명한다. 도 34a 내지 도 34c는 주변 구동 회로에서 쓰고 있는 등가 회로의 1 예이며 (A), (B), (C)는 각각 클록드 드레인 회로, 트랜스미션 게이트 회로 및 인버터 회로를 각각 도시하고 있다.

도 34a 내지 도 34c에 있어서 상기 각각의 등가 회로는 P 채널형 TFT 및 N 채널형 TFT 로 이루는 상보형 TFT 에 의해 구성되고 있으며 화소 스위칭용의 TFT 의 형성 공정을 겸용해서 형성할 수 있다. (L 은 클록 신호, CLB 는 상기 클록 신호의 반전 신호, VDD 는 주변 구동 회로의 고전위측의 정전압 전원, VSS 는 주변 구동 회로의 저전위측의 정전압 전원을 각각 도시하고 있다. 또, (46, 47)은 각각 구동 회로용의 P 채널형 TFT, 및 구동 회로용의 N 채널형 TFT 이다. IN 측에서 입력된 신호는 OUT 측에 출력된다. 또, 상기 CL 신호 및 CLB 신호는 회로 구성에 있어서 도 31 에 도시하듯이 신호가 교차한다는 것은 물론이다. 도 35a 는 도 34c 의 인버터 회로의 액정 장치용 기판상에서의 레이아웃을 도시하는 평면도이며 도 35b 는 도 35a 의 E-E' 간의 단면도를 도시하고 있다.

이 실시예에선 상기의 각 실시예에서 설명한 바와 같이 기판(10)과 제 1 층간 절연막(11)과 사이에는 제 1 차광막(7)이 형성되고 있으므로 이 제 1 차광막(7)을 주변 구동 회로 부분에도 구성한다. 즉, 도 35a, 35b 에 도시하듯이 인버터 회로를 구성하는 P 채널형 TFT(46) 및 N 채널형 TFT(47)의 각각의 소스전극(44)에 대해서 제 1 층간 절연막(11)의 컨택홀(5)을 경유해서 제 1 차광막(7)을 접속한다. 이 제 1 차광막(7)은 P 채널형 TFT(46) 및 N 채널형 TFT(47)의 게이트 전극(43) 하부의 채널영역(52, 53)을 제 1 층간 절연막(11)을 거쳐서 완전히 덮게 형성되어 있다. 따라서, P 채널형 TFT(46)의 소스 전극(48)(주변 구동 회로의 고전위측의 정전압 전원 VDD) 및 N 채널형 TFT(47)의 소스전극(49)(주변 구동 회로의 저전위측의 정전압 전원 VSS)부터 인가되는 전압으로 제 1 차광막(7)이 의사적인 제 2 의 게이트 전극으로서의 기능을 다한다. 이때문에 N 채널형 TFT(47)에선 그 채널 영역(53)에 있어서 공핍층의 게이트 절연막(12)에 접하는 부분의 전위가 종래 보다 크게 상승하는 전자에 대한 포텐셜 에너지가 저하된다. 그 결과, 공핍층의 게이트 절연막(12)에 접하는 부분에 전자가 모여 반전 층이 만들어지기 쉽기 때문에 반도체 층의 저항이 내려가고 TFT 특성이 향상한다. P 채널형 TFT(46)의 채널 영역(52)에선 상기 전자를 정공에 치환한 현상이 발생한다.

또한, 도 35b에선 주변 구동 회로의 P 채널형 TFT(46) 및 N 채널형 TFT(47)는 갭트 셀프 어라인 구조로 나타내고 있는데 상기 제조 프로세스에서 설명한 바와 같이 TFT 의 내압을 향상하고 신뢰성을 높이기 위해서 그 주변 구동 회로의 P 채널형 TFT(46) 및 N 채널형 TFT(47)를 LDD 구조나 오프셋 게이트 구조로 형성해도 좋다.

(주변 구동 회로의 구성예 3)

또, 도 36a 는 도 34c 의 인버터 회로의 액정 장치용 기판(300)상에 있어서의 배치의 평면도이며 도 36b 는 도 36a 의 F-F' 간의 단면도를 도시하고 있다. 또, 도 36c 는 도 36a 에 있어서의 G-G' 간의 단면도를 도시하고 있다.

이 실시예에선 상기의 각 실시예에선 설명한 바와 같이 기판(16)과 제 1 층간 절연막(11)과 사이에는 제 1 차광막(7)이 형성되고 있으므로 이 제 1 차광막(7)을 주변 구동 회로 부분에도 구성한다. 즉, 도 36a, 36b, 36c 에 도시하듯이 인버터 회로를 구성하는 P 채널형 TFT(46) 및 N 채널형 TFT(47)의 각각의 게이트 전극(43)에 겹치게 형성한 제 1 차광막(7)을 게이트 전극(43)에 접속한다. 또, 제 1 차광막(7)을 게이트 전극(43)과 동일 또는 폭을 좁게하고 채널영역(52, 53)의 상하는 게이트 절연막(12) 및 제 1 층간 절연막(11)을 거쳐서 게이트 전극(43) 및 제 1 차광막(7)으로 끼게 해서 더블 게이트 구조의 TFT 를 구성한다. 또, 인버터 회로의 입력측의 배선(44)을 데이터선(3)과 동일층으로 형성되고 있으며 제 1 층간 절연막(11)의 컨택홀(15)을 경유해서 게이트 전극(43)과 접속되며 제 1 층간 절연막(11)시 컨택홀(5)을 경유해서 제 1 차광막(7)과 접속된다. 상기 컨택홀(5)의 개공은 동일 공정에 의해 행한다. 따라서 이 더블 게이트 구조의 TFT 는 제 1 차광막(7)이 제 2 의 게이트 전극의 작용을 하기 때문에 백 채널 효과에 의해서 TFT 특성의 가일층의 향상을 도모할 수 있다.

(TFT 특성)

주변 구동 회로의 구성예 2, 3에서 설명한 구조의 N 채널형 TFT 의 특성을 도 37 에 도시한다. 도 37 에 있어서 3 각 마크 및 그것을 맺는 실선(9)은 채널 영역 하부에 다른 층이 없는 종래의 N 채널형 TFT, 원 마크 및 그것을 맺는 실선(b)은 주변 구동 회로의 구성예(2)에서 설명한 구조의 N 채널형 TFT, 4 각 마크 및 그것을 맺는 실선(c)은 주변 구동 회로의 구

성예(3)에서 설명한 구조의 N 채널형 TFT의 TFT 특성을 각각 도시한다. TFT 치수는 3 수준 더불어 같은 횡수(채널 길이 5 μ m, 채널 폭 20 μ m)로 소스 드레인간에 전압 15V를 인가해서 측정한 것이다. 막후 조건은 제 1 차광막(7)은 1000 옹스트롬, 제 1 층간 절연막(11)은 1000 옹스트롬, 반도체 층(1)은 500 옹스트롬, 게이트 절연막(12)은 900 옹스트롬에 설정했다. 측정 결과로서 TFT의 게이트 전극에 15V 인가한 때 주변 구동 회로의 구성예(2)에서 설명한 구조의 N 채널형 TFT(원 마크 및 그것을 맺는 실선(b)으로 도시하는 특성)는 종래의 TFT(3 각 마크 및 그것을 맺는 실선(a)으로 도시하는 특성)보다 약 1.5 배의 온 전류가 얻어진다는 것이 확인되었다. 또, TFT의 게이트 전극에 15V 인가한 때 주변 구동 회로의 구성예(3)로 설명한 구조의 N 채널형 TFT(4 각 마크 및 그것을 맺는 실선(b)으로 나타내는 특성)는 종래의 TFT(3 각 마크 및 그것을 맺는 실선(a)으로 나타내는 특성)의 3.0 배 이상의 온 전류가 얻어진다는 것이 확인되었다. 따라서 주변 구동 회로의 구성예(2, 3)로 설명한 구조의 N 채널형 TFT를 쓰므로써 표시 화소의 증대에 따르는 주변 구동 회로의 고속화 및 미세화가 가능으로 되며 또, 데이터선(3)으로의 화상 신호의 기록이 개선되기 때문에 고품위 화상 표시가 실현되는 액정 장치를 제공할 수 있다.

(투사형 액정 장치로의 응용예)

도 38은 상기의 각 실시예에 관한 액정 장치(100)를 라이트 밸브로서 응용한 투사형 표시 장치의 1 예로서 그 액티브 매트릭스형 액정 장치는 3 개 사용한 프리즘 색 합성 방식의 프로젝터에 이용된 광학계의 설명도이다.

도 38에 있어서 (370)은 하로겐 램프 등의 광원, (371)은 포울미러, (372)는 열선컷 필터, (373, 375, 376)은 각각 청색 반사, 녹색반사, 적색반사의 다이크로익미러, (374, 377)는 반사미러, (378, 379, 380)은 상기 액티브 매트릭스형 액정 장치로 이루는 청색, 녹색, 적색 변조 라이트밸브, (383)은 다이크로익 프리즘이다.

이 프로젝터에 있어선 광원(370)에서 나온 백색광은 포울미러(371)에 의해 집광되고 열선 컷 필터(372)를 통과해서 적외선 영역의 열선이 차단되고 가시 광만이 다이크로익 미러계열에 입사된다. 그리고 우선, 청색 반사 다이크로익 미러(373)에 의해 청색광(개략 500nm 이하의 파장)이 반사되고 기타의 빛(황색 광)은 투과한다. 반사된 청색광은 반사 미러(374)에 의해 방향을 바꾸고 청색 변조 라이트 밸브(378)에 입사한다. 한편, 청색 반사 다이크로익 미러(373)를 투과한 빛은 녹색 반사 다이크로익 미러(375)에 입사하고 녹색광(개략 500-600nm의 파장)이 반사되고 기타의 빛인 적색광(개략 600nm 이상의 파장)은 투과한다. 녹색 변조 라이트 밸브(375)에서 반사한 녹색 광은 녹색 변조 라이트 밸브(379)에 입사한다. 또, 다이크로익 미러(375)를 투과한 적색 광은 반사 미러(376), (377)에 의해 방향을 바꾸고 적색 변조 라이트 밸브(380)에 입사한다.

각색의 라이트 밸브(378, 379, 380)은 화상 신호 처리 회로에서 공급되는 청, 녹, 적의 원색 신호로 각각 구동되며 각 라이트 밸브에 입사한 빛은 변조되고 다이크로익 프리즘(383)으로 합성된다. 이 다이크로익 프리즘(383)은 적색 반사면(381)과 청색 반사면(382)이 서로 직교하게 구성되어 있다. 그리고 다이크로익 프리즘(383)으로 합성된 칼라 화상은 투사 렌즈(384)에 의해서 스크린상에 확대 투사된다. 또한, 액정 장치용 기판의 뒷면부터의 반사광(귀환광)은 거의 무시할 수 있으므로 종래와 같이 반사 방지 처리로 실시한 편광판이나 필름을 액정 장치의 출사 측면에 붙일 필요가 없으므로 비용 삭감이 실현된다.

본 발명을 적용한 액정 장치(100)는 강한 빛이 조사되어도 화소 원극(14)을 제어하는 화소 스위칭용 TFT(102)에서의 리크 전류가 억제되고 있기 때문에 고 콘트라스트 등의 고품위 화상 표시는 얻을 수 있다. 또, 다이크로익 프리즘(383) 대신에 미러를 사용해서 색합성을 하는 프로젝터와 본 발명을 적용한 액정 장치(100)의 대향 기판에 R(적), G(녹), B(청)의 칼라 필터 층을 형성한 것을 사용해서 1 개의 액정 장치(100)를 써서 칼라 화면이 확대 투영되는 프로젝터에 써도 효과가 있다.

그런데, 도 38에 도시되듯이 색 합성에 다이크로익 프리즘(383)을 쓰는 경우에 이 발명은 특히 이점을 갖는다. 예컨대 다이크로익 미러(374)로 반사된 빛은 라이트 밸브(378)를 투과해서 다이크로익 프리즘(383)으로 합성된다. 이 경우, 라이트 밸브(378)에 입사된 빛은 90도 변조해서 투사 렌즈(384)에 입사된다. 그러나 라이트 밸브(378)에 입사된 근소하게 누설되어서 반대측의 라이트 밸브(380)에 입사될 가능성이 있다. 따라서 라이트 밸브(380)를 예로 들면 다이크로익 미러(377)에 의해서 반사된 빛이 화상표 A로 도시하듯이 입사 방향 측에서 입사될 뿐 아니고 라이트 밸브(378)를 투과한 빛

의 일부가 다이크로익 프리즘(382)을 통과해서 라이트 밸브(380)에 입사될 가능성이 있다. 또, 다이크로익 미러(393)에 의해서 반사된 빛이 라이트 밸브(380)를 통과해서 다이크로익 프리즘(383)에 입사될 때, 다이크로익 프리즘(383)으로 근소하게 반사(정반사)해서 라이트 밸브(380)에 재입사될 가능성도 있다. 이같이 라이트 밸브(380)는 입사측 방향에서의 빛의 입사와 그 반대측 방향에서의 입사가 큰데 이같은 경우에 대해서도 이 발명은 상기 각 실시실시에에서 설명한 바와 같이 화소 스위칭용 TFT(102)에 대해선 입사측부터도 입사측의 반대측 부터도 빛이 입사되지 않게 데이터선(2)(제 2의 차광막), 대향기판(31)의 대향측 차광막(6)(제 3의 차광막), 및 제 1 차광막(7)이 형성되고 있으므로 입사측부터의 빛에 대해선 데이터 선(2)(제 2의 차광막), 및 대향기판(31)의 대향 차광막(6)(제 3의 차광막)으로 차단되고 반대측부터의 빛은 제 1 차광막(7)으로 차단된다. 따라서 화소 스위칭용의 TFT(102)에 리크 전류가 발생하지 않는다.

(액정 장치의 변형예)

상술한 실시예에 관한 액정 장치(100)에 있어서도 도 39에 도시하듯이 대향기판(31)의 측에 예컨대 매트릭스 상으로 마이크로 렌즈(33)를 점착제(34)로 화소 단위로 간격을 내지 않고 점착한 후, 그것을 박판 유리(35)로 덮으므로서 입사광을 액정 장치용 기판(300)의 화소전극(14)상에 입광시킬 수 있다. 이때문에 콘트라스트와 밝기를 대폭으로 개선할 수 있다. 게다가 입사광을 집광시키기 위해서 화소 스위칭용 TFT(102)의 채널영역(10)등으로의 경사 방향 부터의 빛의 입사를 방지하는 것이 가능으로 된다. 또, 상기 마이크로 렌즈(33)를 쓰는 경우는 대향기판(31)측의 대향측 차광막(6)을 생략할 수도 있다. 이 발명의 액정 장치에 의하면 화소 스위칭용 TFT(102)의 채널영역(1c) 아래쪽에 적어도 제 1 차광막(7)이 설치되고 있으므로 액정 장치용 기판(300)의 뒷면부터의 반사광(귀환광)에 의해서 채널영역(10)이 반사되는 일이 없기 때문에 빛광이 원인되어서 발생하는 리크 전류를 억제할 수 있다. 따라서 마이크로 렌즈(33)를 써서 집광해도 아무 문제가 없다.

또, 상술한 어느 실시예에서도 제 1 차광막(7)은 주사선 구동 회로(104)의 저전위측의 정전압 전원 VSSx에 접속했는데 고전위측의 정전압 전원 VDDy에 접속해도 좋다. 또, 제 1 차광막(7)은 데이터선 구동 회로(103)의 저전위측의 정전압 전원 VSSx에 접속해도 고전위측의 정전압 전원 VDDx에 접속해도 좋다는 것은 물론이다. 또한, 액정 장치용 기판(300)부터 대향기판(31)의 대향전극(32)에 상하도 통재(31)를 거쳐서 대향 전극 전위 LCCOM를 공급하는 급전선이나 각 구동 회로(103, 104)에 접지 전위를 공급하는 급전선에 제 1 차광막(7)을 접속해도 좋다. 또한, 실시예(1), (2)등에선 제 1 차광막(7)의 배선 부분을 주사선(2)을 따라서 연장 설치했는데 데이터선(3)을 따라서 표시영역(61)의 외측에 연장 설치해도 좋다.

발명의 효과

이상, 설명한 바와 같이 이 발명에 관한 액정 장치에선 화소 스위칭용 TFT의 채널 영역에 겹치게 그 하층측엔 제 1 차광막이 형성되고 있으므로 액정 장치용 기판의 뒷면측에서의 반사광이 있어도 이 빛은 화소 스위칭용 TFT의 채널 영역에 이르지 않는다. 그러므로 TFT엔 액정 장치용 기판의 뒷면측 부터의 반사광이 원인이 되는 리크 전류가 발생하지 않는다. 게다가 제 1 차광막은 주사선 구동 회로의 저전위 측의 정전압 전원을 공급하는 정전위 배선 등에 접속되고 있으므로 TFT의 반도체층과 제 1 차광막과 사이에 기생하는 용량의 영향을 받아서 TFT 특성이 변동하거나 열화되는 일이 없다.

(57) 청구의 범위

청구항 1. 복수의 데이터선(data line) 및 복수의 주사선에 의해 화소가 매트릭스 형상으로 구성된 표시영역과, 상기 표시영역보다 외주측에서 상기 데이터선 및 상기 주사선의 한쪽에 접속된 주변 구동회로와, 상기 데이터선 및 주사선에 접속된 복수의 박막 트랜지스터를 구비하는 액정 장치용 기판과, 상기 액정 장치용 기판과 대향기판과의 사이에 액정을 끼워지지는 액정장치에 있어서,

상기 액정장치용 기판위에 형성된 상기 박막 트랜지스터의 채널영역에 대하여 해당 채널영역의 하층측에서 층간 절연막을

끼워 각각 중복되는 도전성의 제 1차광막을 가지며, 상기 제 1차광막에는 정전압이 인가되도록 구성되어 이루어지는 것을 특징으로 하는 액정장치.

청구항 2. 제 1항에 있어서, 상기 제 1차광막은, 상기 채널영역에 중복되는 채널 차광부분과, 상기 채널 차광부분에 정전압을 인가하기 위해 해당 채널 차광부분으로부터 연장설치된 배선부분을 구비하고 있는 것을 특징으로 하는 액정장치.

청구항 3. 제 2항에 있어서, 상기 제 1차광막의 배선부분은, 상기 채널 차광부분의 각각으로부터 상기 주사선 및 상기 데이터선중 적어도 어느 한쪽의 신호선에 따라서 상기 표시영역의 외측까지 각각 연장 설치되며, 해당 표시영역의 외측에서, 상기 제 1차광막과는 다른 층에 형성된 정전위배선에 대하여 적어도 상기 층간 절연막의 컨택홀(contact hole)을 경유하여 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 4. 제 2항에 있어서, 상기 제 1차광막의 배선부분은, 상기 채널 차광부분의 각각으로부터 상기 주사선 및 상기 데이터선중 양쪽의 신호선에 따라서 상기 표시영역의 외측까지 각각 연장 설치되며, 해당 표시영역의 외측에서, 상기 제 1차광막과는 다른 층에 형성된 정전위배선에 대하여 적어도 상기 층간 절연막의 컨택홀을 경유하여 접속하고 있는 것을 특징으로 하는 액정장치.

청구항 5. 제 3항 또는 제 4항에 있어서, 상기 제 1차광막의 배선부분의 각각이, 상기 표시영역의 외측에서 상기 정전위배선에 대하여 상기 층간 절연막의 컨택홀을 끼워 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 6. 제 5항에 있어서, 상기 제 1차광막의 배선부분은, 한쪽측의 단부가 상기 정전위배선에 대하여 상기 층간 절연막의 컨택홀을 끼워 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 7. 제 5항에 있어서, 상기 제 1차광막의 배선부분은, 양측의 단부가 상기 정전위 배선에 대하여 상기 층간 절연막의 컨택홀을 끼워 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 8. 제 3항 또는 제 4항에 있어서, 상기 제 1차광막의 배선부분은, 상기 채널 차광부분의 각각으로부터 상기 주사선 및 상기 데이터선 중에서 적어도 한쪽의 신호선에 따라서 상기 표시영역의 외측까지 각각 연장 설치되며, 해당 표시영역의 외측에서 상기 제 1차광막의 배선부분의 각각은 상기 제 1차광막과 동일 재료로 이루어지는 간선에 접속되어 이루어지며, 해당 간선이 상기 층간 절연막의 컨택홀을 끼워 상기 정전위 배선에 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 9. 제 8항에 있어서, 상기 제 1차광막의 배선부분은, 한쪽측의 단부가 상기 간선에 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 10. 제 8항에 있어서, 상기 제 1차광막의 배선부분은, 양측의 단부가 상기 간선에 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 11. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 제 1차광막은, 상기 박막 트랜지스터의 드레인 영역에 중첩되어 축적용량을 형성하는 용량배선에 대하여, 적어도 상기 층간 절연막의 컨택홀을 경유하여 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 12. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 제 1차광막은, 상기 박막 트랜지스터의 드레인 영역에 상기 층간 절연막을 끼워 중첩하여 축적용량이 구성되어 있는 것을 특징으로 하는 액정장치.

청구항 13. 제 2항 내지 제 4항중 어느 한항에 있어서, 상기 정전위배선은, 상기 구동회로에 저전위측의 전원을 공급하는 급전선에 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 14. 제 2항 내지 제 4항중 어느 한항에 있어서, 상기 정전위배선은, 상기 액정 장치용 기판으로부터 상기 대향 기판의 대향전극에 상하 도통재를 끼워 대향전극 전위를 공급하는 급전선에 접속되어 있는 것을 특징으로 하는 액정장치.

청구항 15. 제 2항 내지 제 4항중 어느 한항에 있어서, 상기 정전위배선은, 상기 주변 구동회로에 접지위를 공급하는 급전선인 것을 특징으로 하는 액정장치.

청구항 16. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 액정장치용 기판 및 상기 대향기판중 적어도 한쪽의 기판은, 상기 표시영역을 둘러싸는 표시화면 구분(parting)용의 차광막을 구비하고 있는 것을 특징으로 하는 액정장치.

청구항 17. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 액정장치용 기판은, 상기 박막 트랜지스터의 채널영역의 상층측에서 해당 채널영역을 덮는 제 2차광막을 구비하고 있는 것을 특징으로 하는 액정장치.

청구항 18. 제 17항에 있어서, 상기 제 2차광막은, 상기 데이터선인 것을 특징으로 하는 액정장치.

청구항 19. 제 1항에 있어서, 상기 주변 구동회로는, P채널형의 구동회로용의 박막 트랜지스터 및 N채널형의 구동회로용의 박막 트랜지스터를 구비하며, 상기 P채널형 및 N채널형의 구동회로용의 박막 트랜지스터는, 상기 박막 트랜지스터의 제조공정을 겸용하여 형성되는 것을 특징으로 하는 액정장치.

청구항 20. 제 19항에 있어서, 상기 주변 구동회로는, 상기 제 1차광막과 동시에 형성된 도전막으로 이루어지는 배선층을 구비하고 있는 것을 특징으로 하는 액정장치.

청구항 21. 제 19항에 있어서, 상기 제 1차광막과 동시에 형성된 도전막으로 이루어지는 배선층은, 상기 구동회로용의 박막트랜지스터의 게이트 전극에 대하여 적어도 상기 층간 절연막의 컨택홀을 경유하여 접속되며, 또한, 해당 구동회로용의 박막트랜지스터의 게이트 전극의 면적이하의 면적을 가지고 해당 구동회로용의 박막 트랜지스터의 채널영역에 대하여, 해당 채널영역의 하층측에서 상기 층간 절연막을 끼워 중첩되어 있는 것을 특징으로 하는 액정장치.

청구항 22. 제 19항에 있어서, 상기 제 1차광막과 동시에 형성된 도전막으로 이루어지는 배선층은, 상기 구동회로용의 박막 트랜지스터의 소스전극에 대하여 적어도 상기 층간 절연막의 컨택홀을 경유하여 접속하며, 또한, 해당 구동회로용의 박막트랜지스터의 채널영역에 대하여, 해당 채널영역의 하층측에서 상기 층간 절연막을 끼워 중첩되어 있는 것을 특징으로 하는 액정장치.

청구항 23. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 제 1차광막은, 텅스텐, 티탄, 크롬, 탄탈, 몰리브덴등의 금속막 혹은 금속 실리사이드등의 금속 합금막중 어느 것에 의해 구성되어 있는 것을 특징으로 하는 액정장치.

청구항 24. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 대향기판에는, 상기 화소에 대응하여 제 3차광막이 형성되어 있는 것을 특징으로 하는 액정장치.

청구항 25. 제 24항에 있어서, 상기 제 3차광막은, 적어도 상기 제 1차광막을 덮도록 형성되어 있는 것을 특징으로 하는 액정장치.

청구항 26. 제 1항 내지 제 4항중 어느 한항에 있어서, 상기 대향기판에는, 상기 화소 각각에 대응하여 마이크로 렌

즈가 매트릭스 형상으로 형성되어 있는 것을 특징으로 하는 액정장치.

청구항 27. 제 1항 내지 제 26항중 어느 한항에 기재된 액정장치를 구비하는 투사형 표시장치에 있어서,

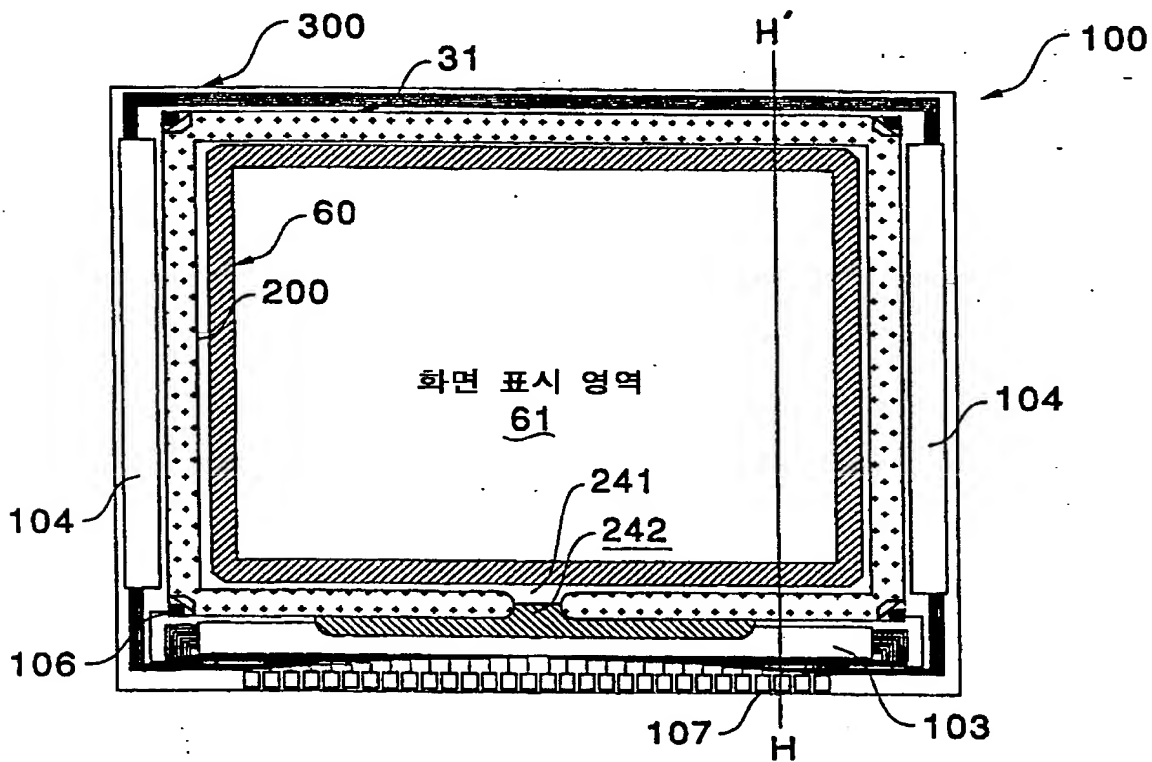
광원으로부터의 광을 상기 액정장치에서 변조하며, 상기 변조된 광을 투사 광학수단에 의해 확대 투사하는 것을 특징으로 하는 투사형 표시장치.

청구항 28. 제 1항 내지 제 26항중 어느 한항에 기재된 액정장치의 제조방법에 있어서,

상기 제 1차광막과 그것에 정전압을 공급하는 배선을 접속하기 위한 컨택홀의 형성을, 상기 데이터선과 상기 박막 트랜지스터의 소스영역을 접속하기 위한 컨택홀의 형성을 동시에 행하는 것을 특징으로 하는 액정장치의 제조방법.

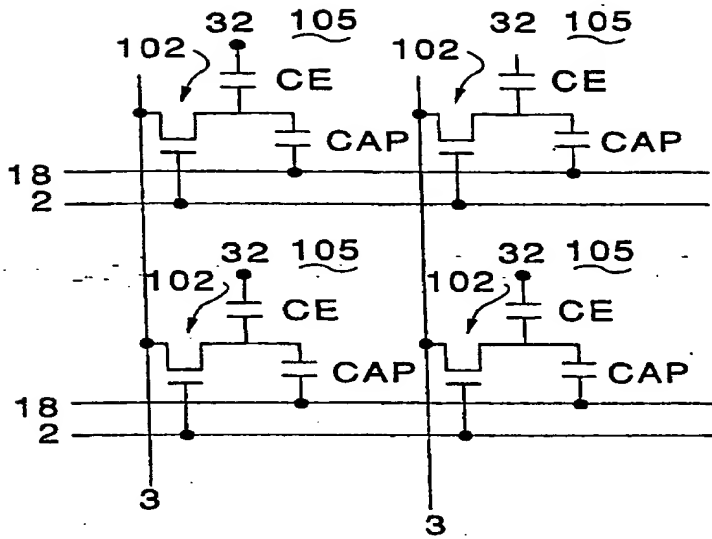
도면

도면1

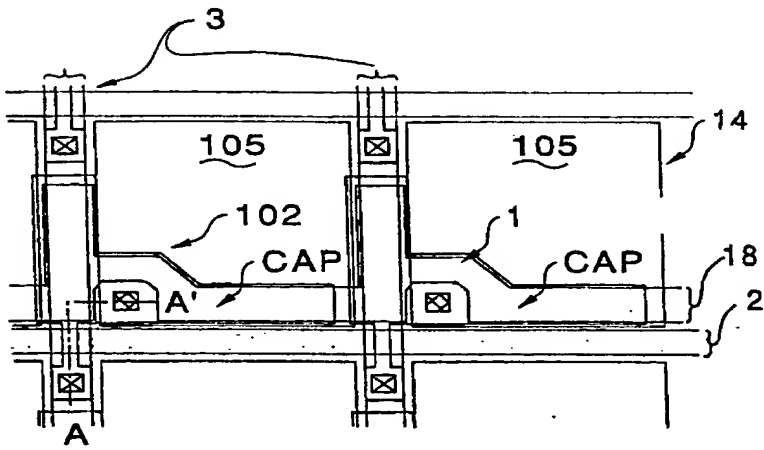


도면2

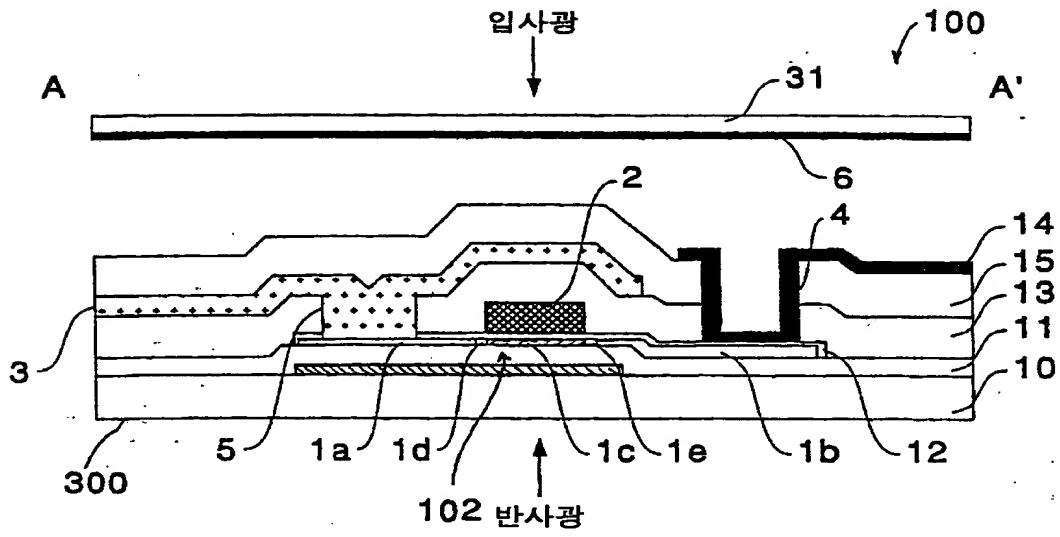




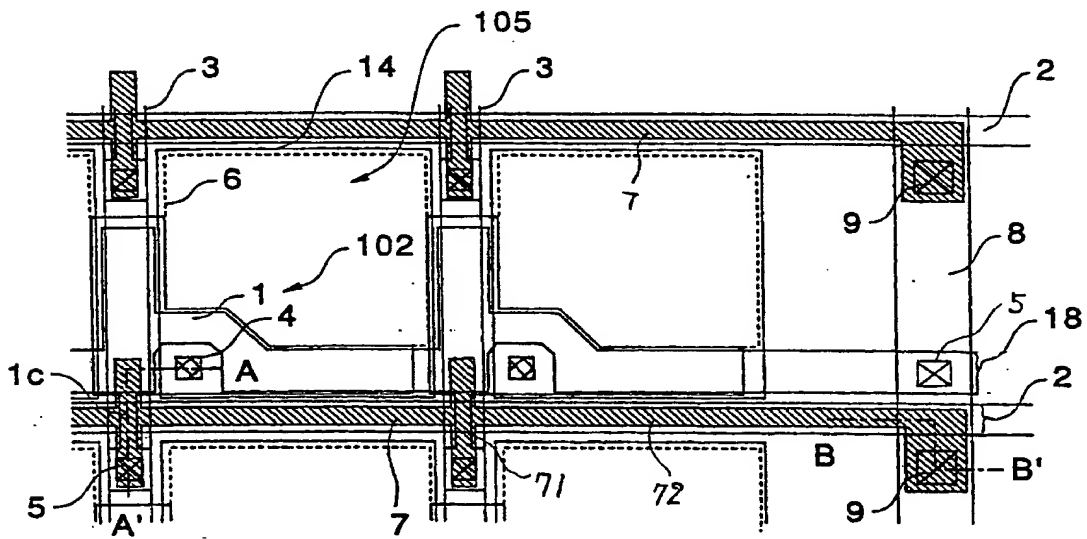
도면4b



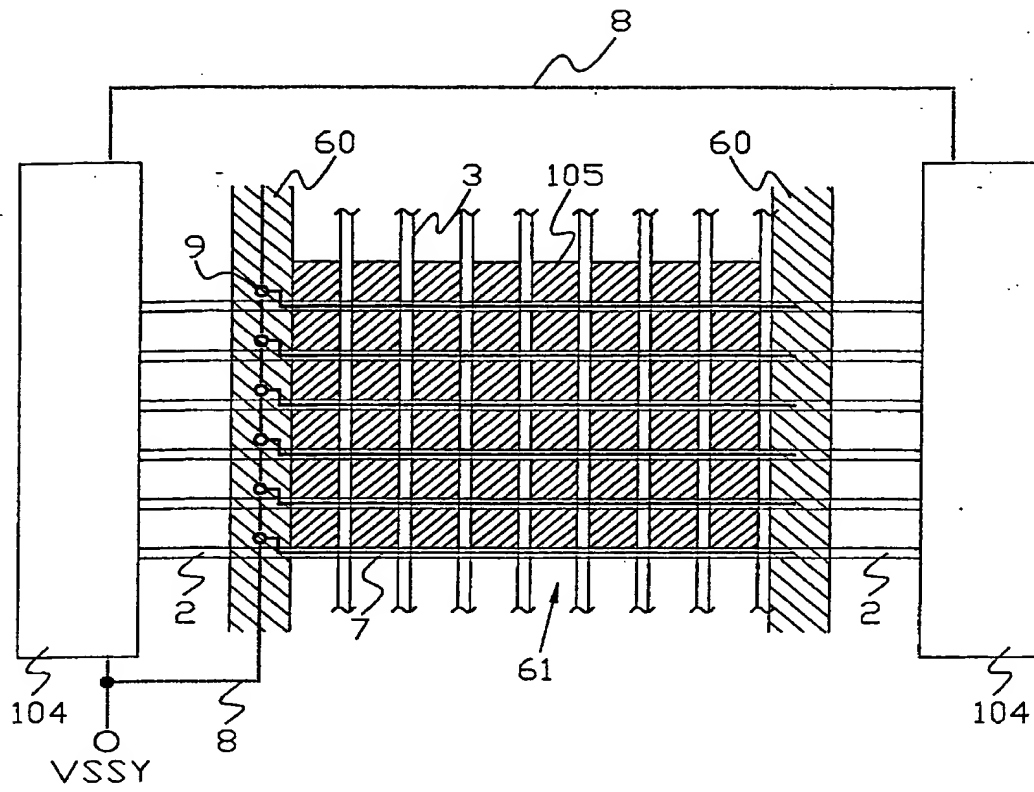
도면5



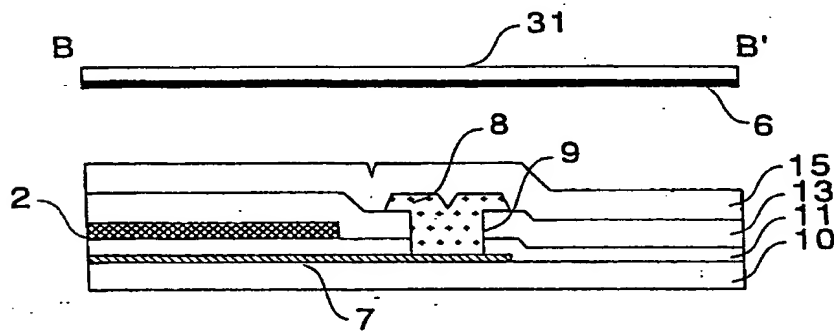
도면6



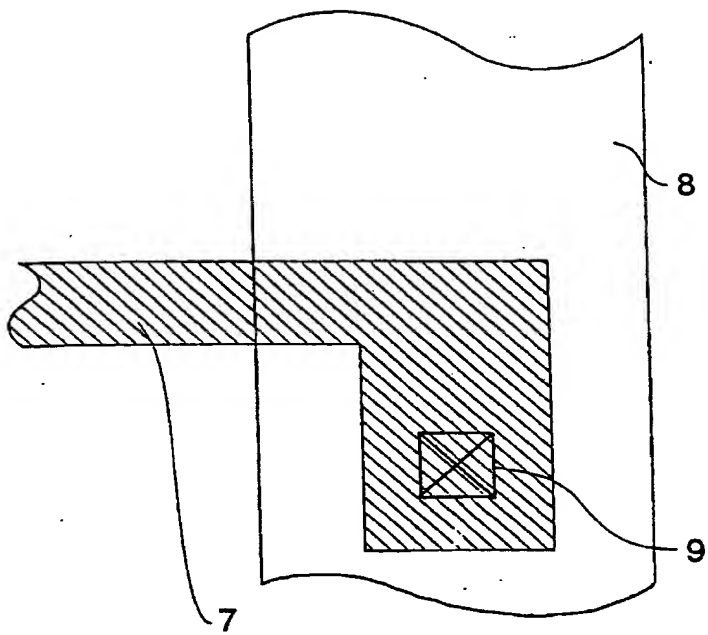
도면7



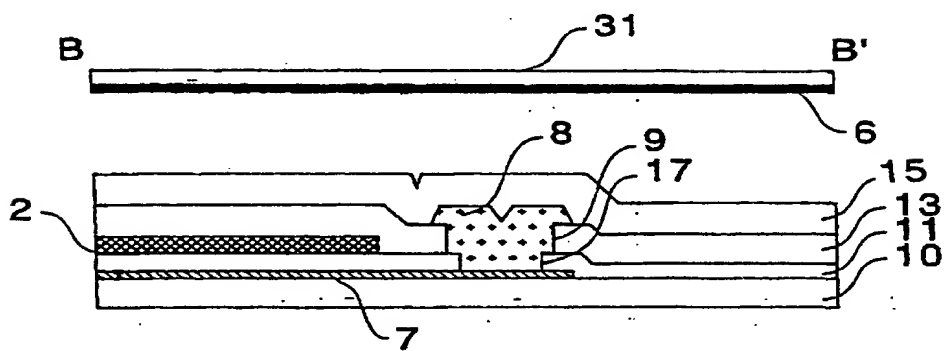
도면 8a



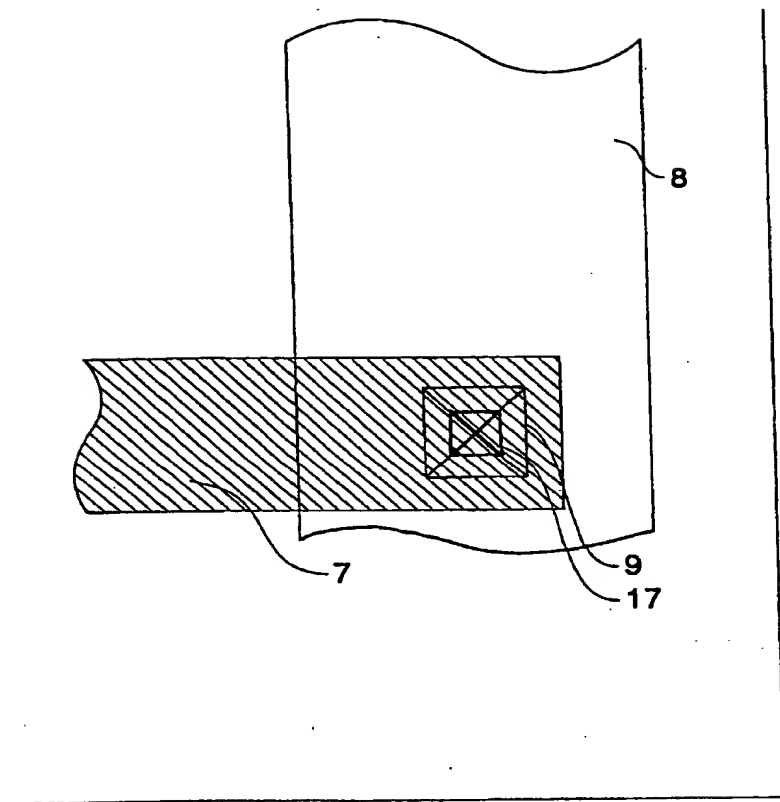
도면 8b



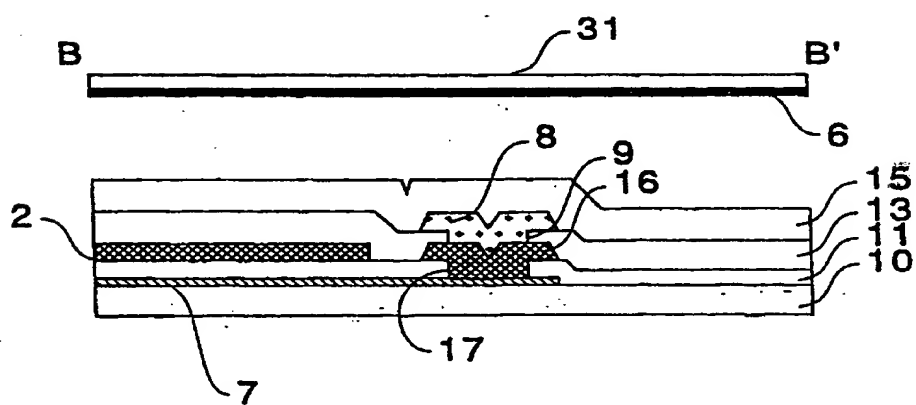
도면 9a



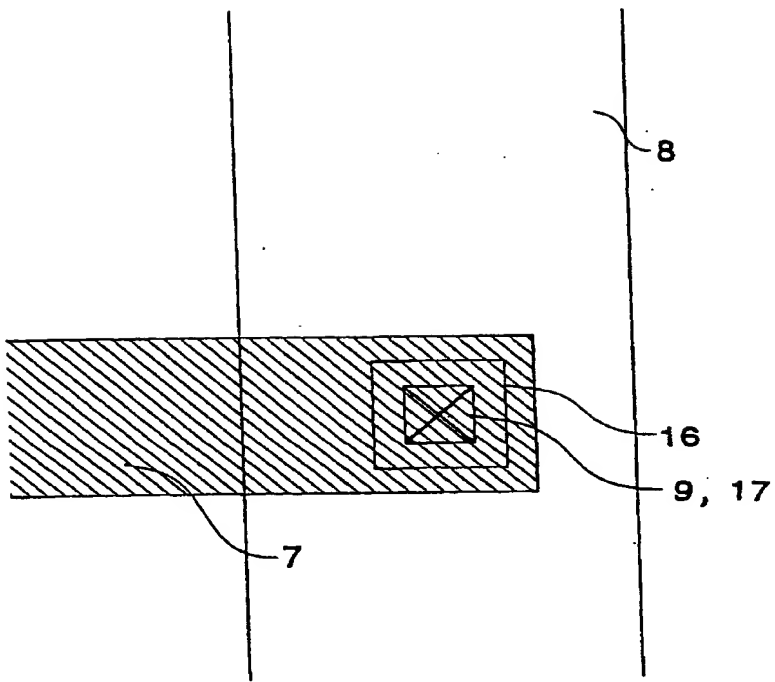
도면 9b



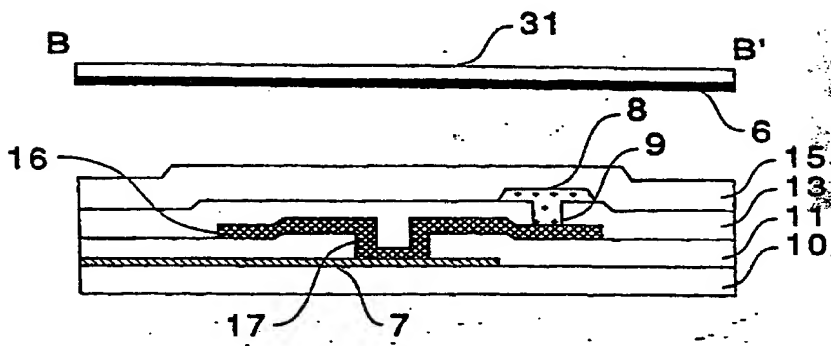
도면 10a



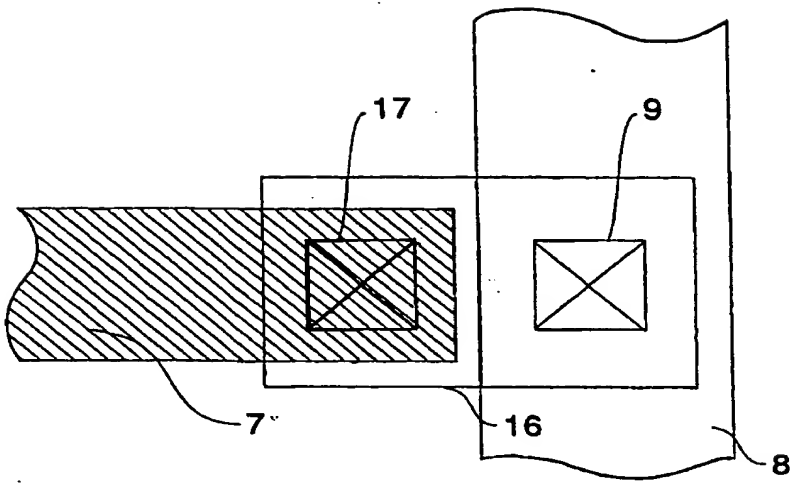
도면 10b



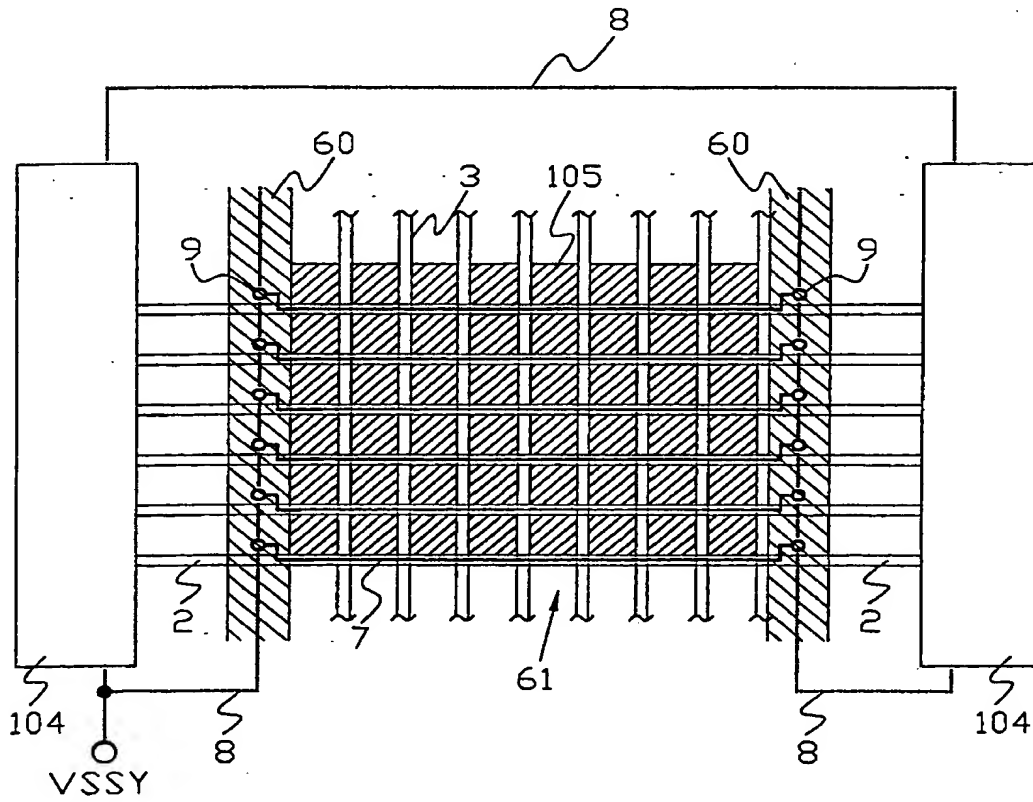
도면 11a



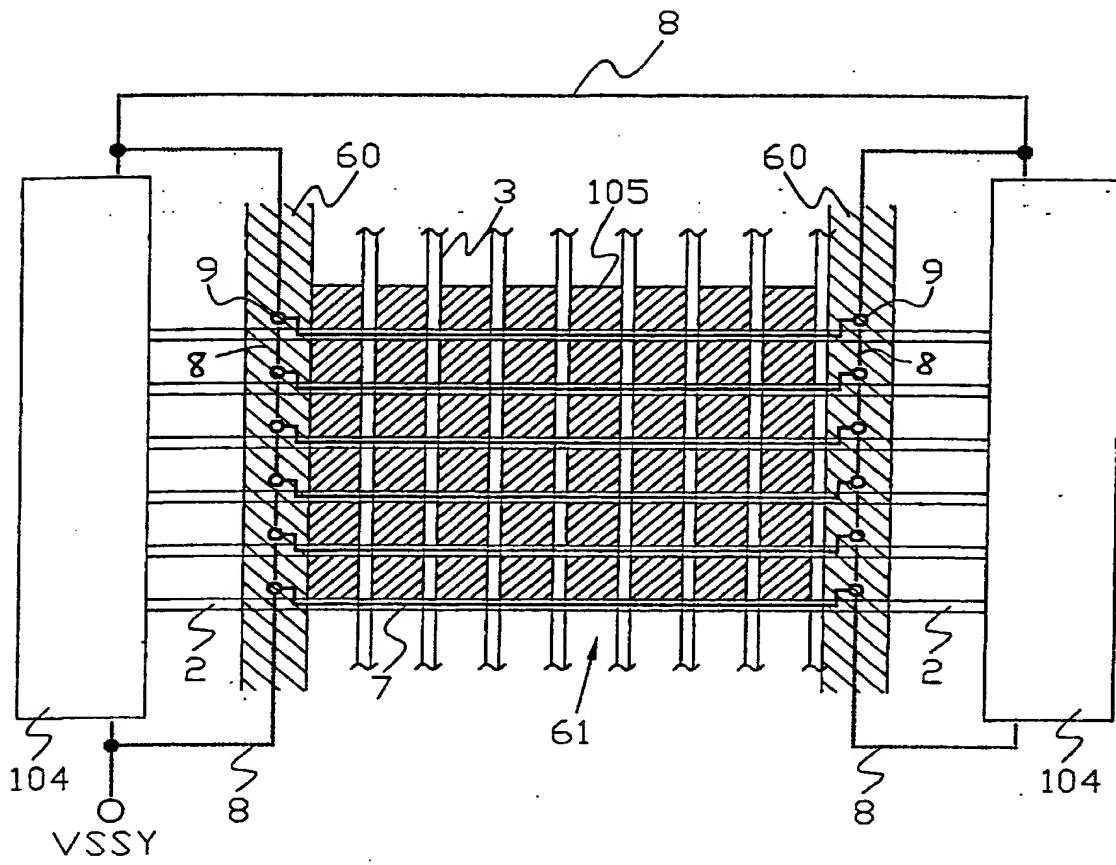
도면 11b



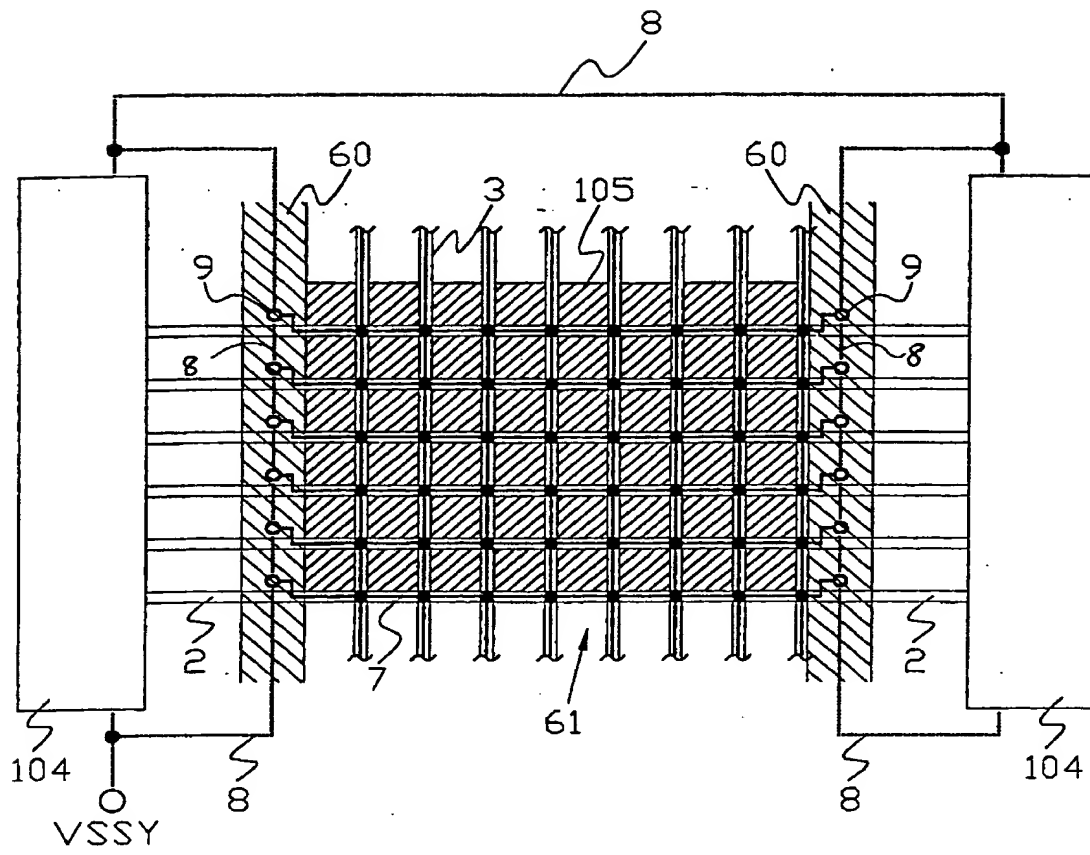
도면 12



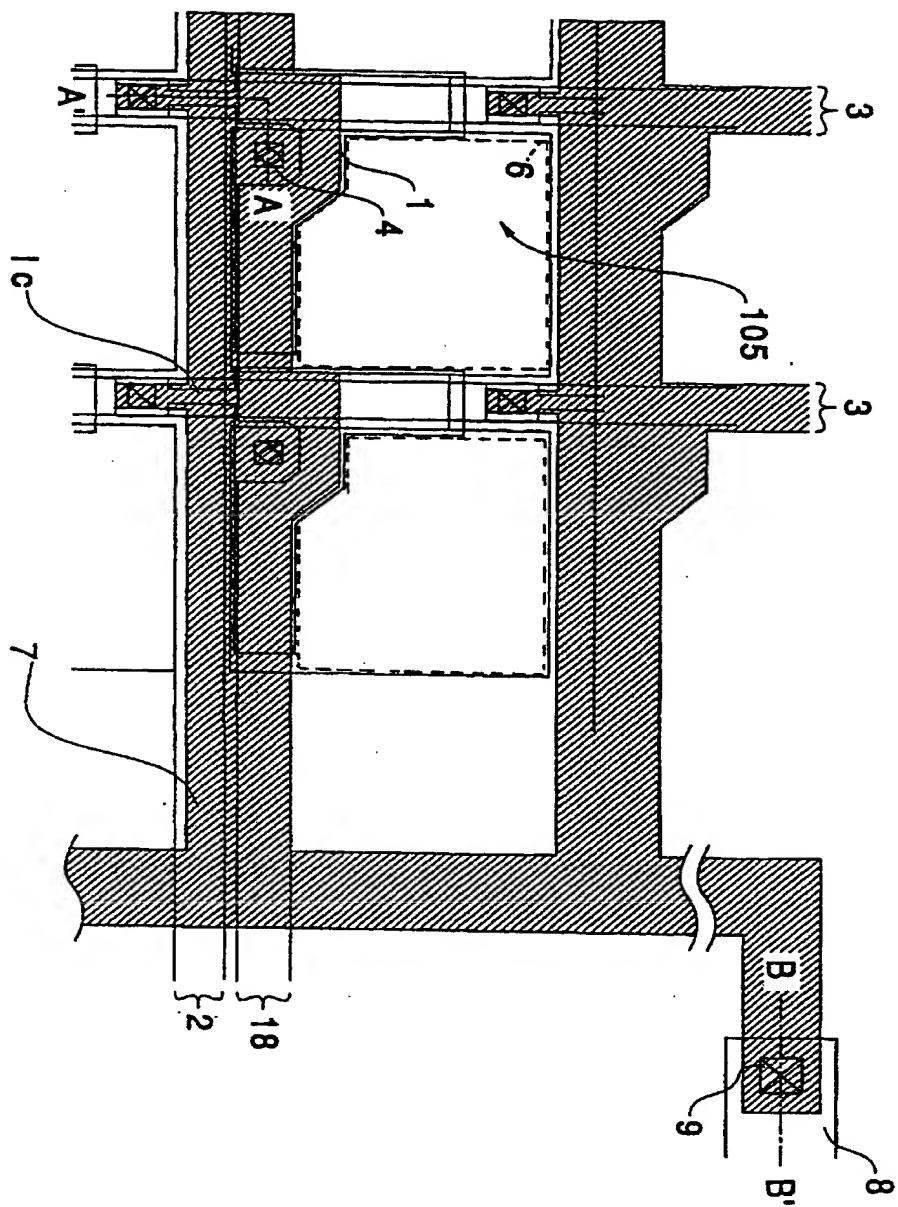
도면 13



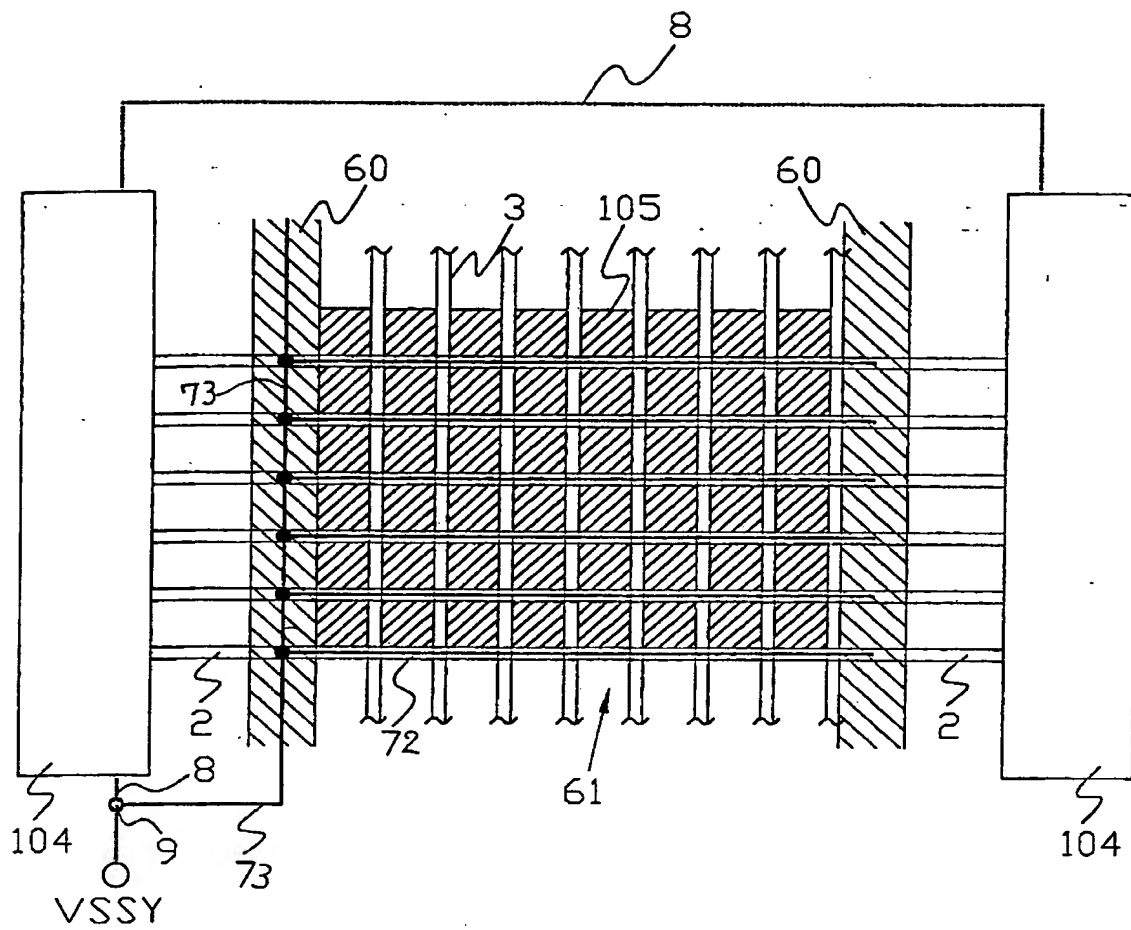
도면 14



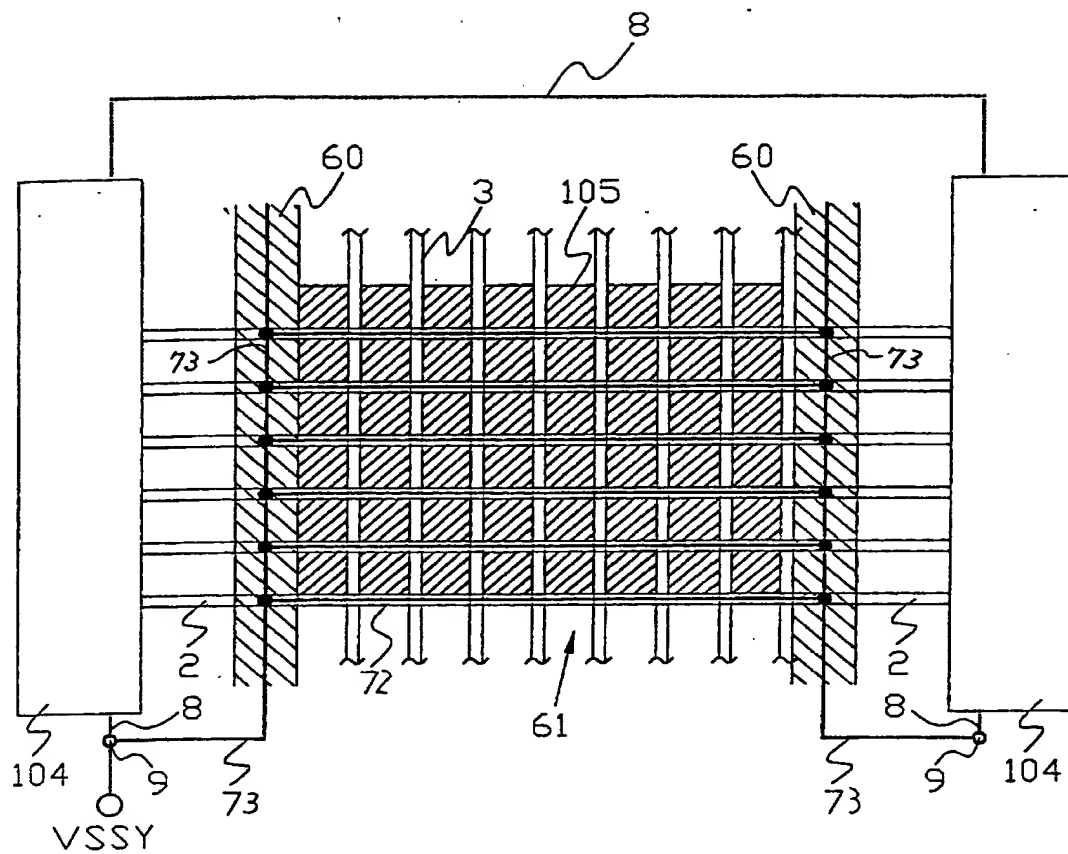
도면 15



도면 16

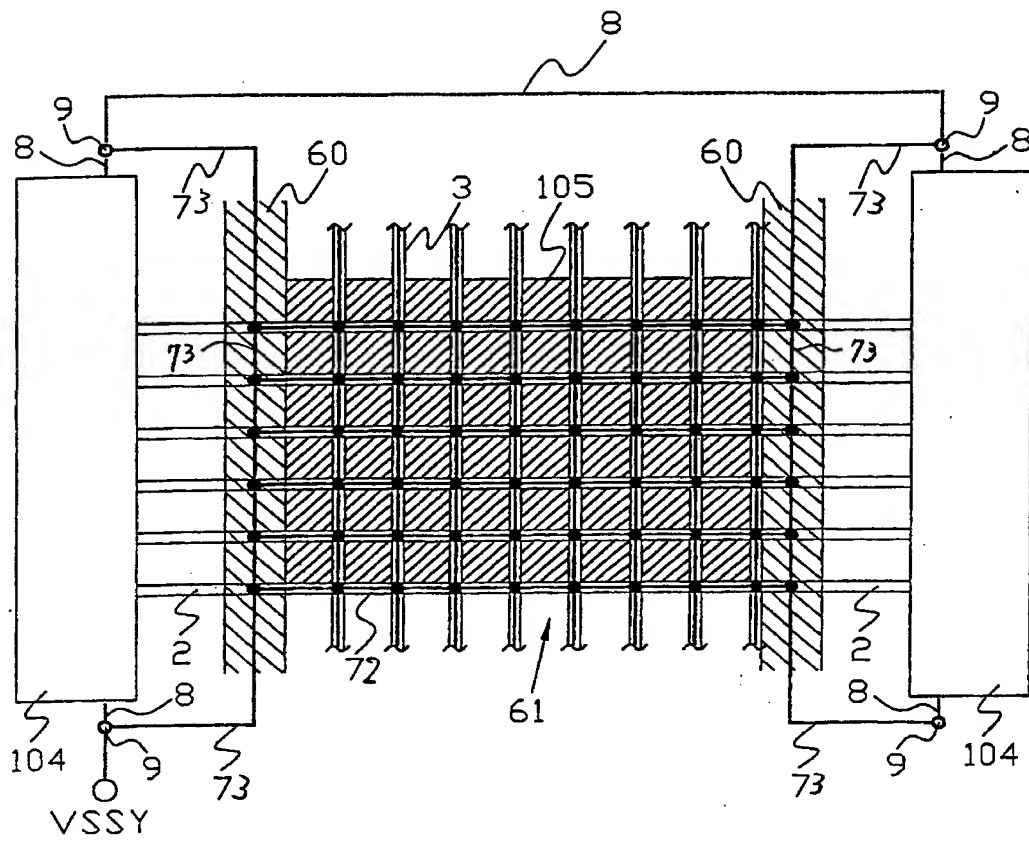


도면17



도면 18





도면20

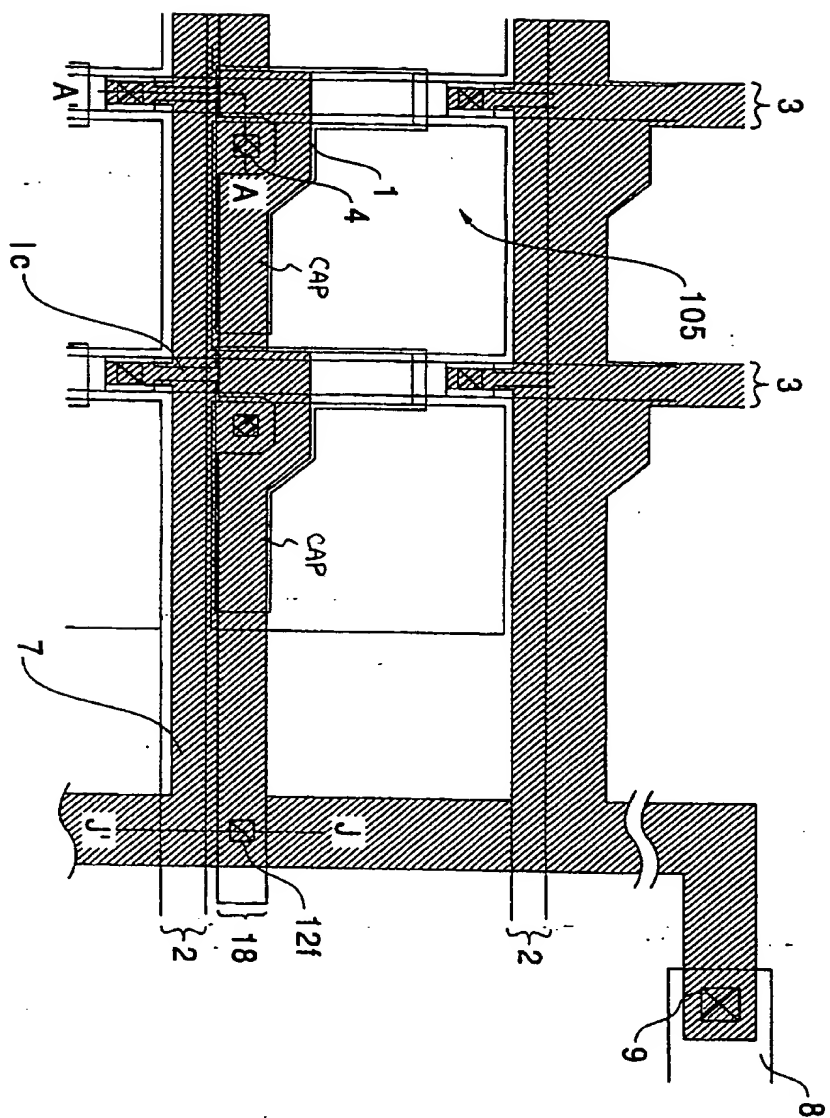
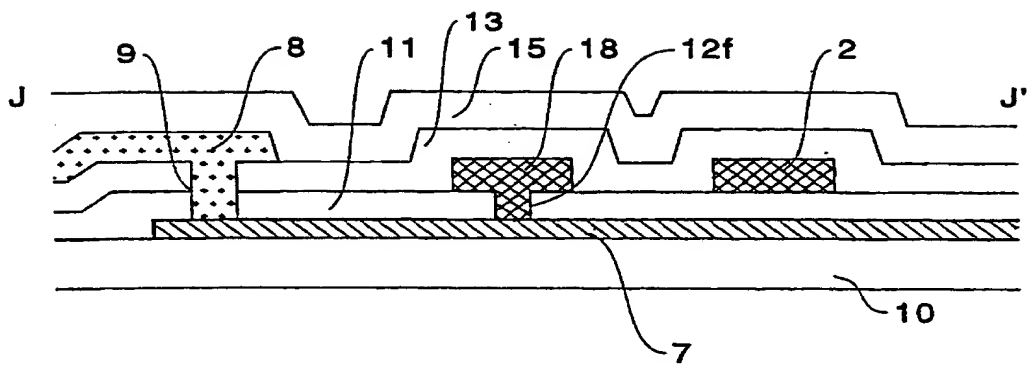
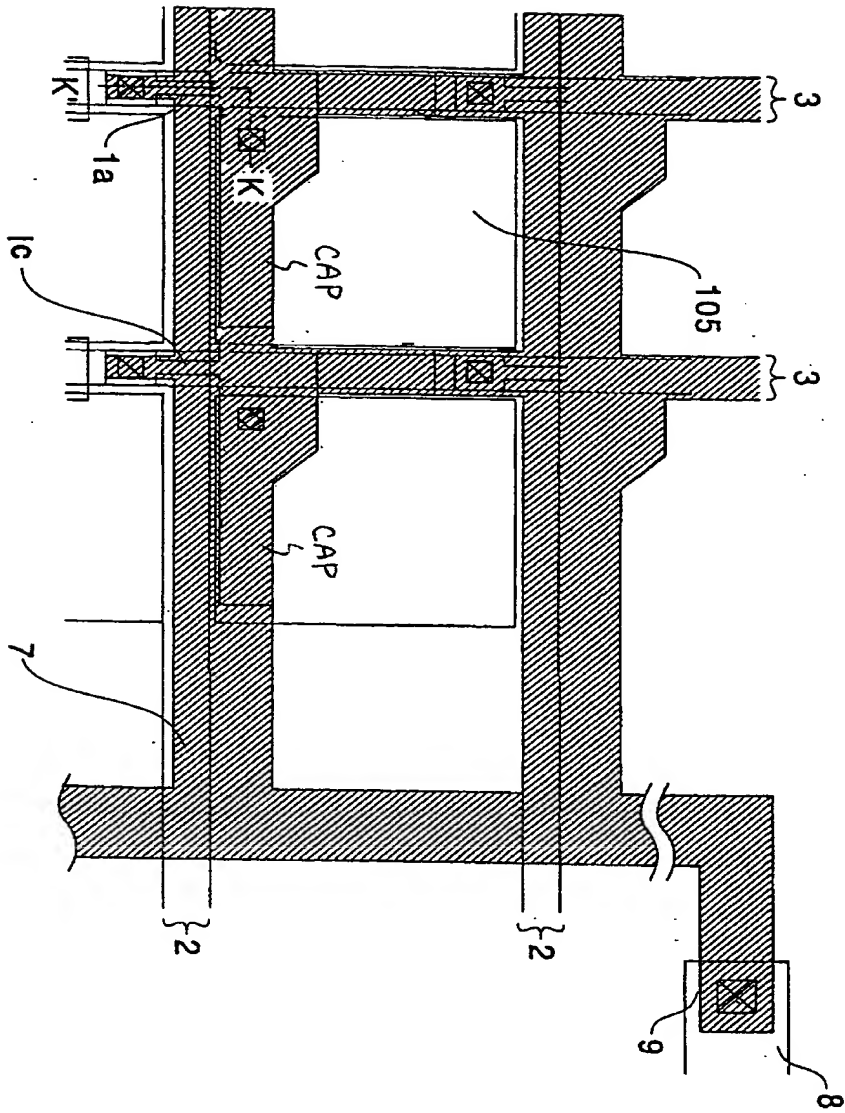


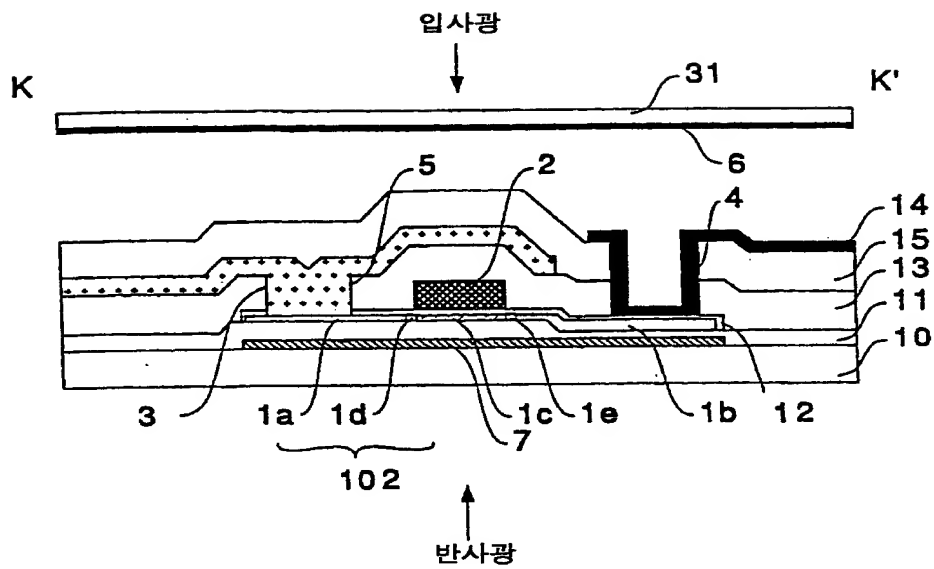
図21



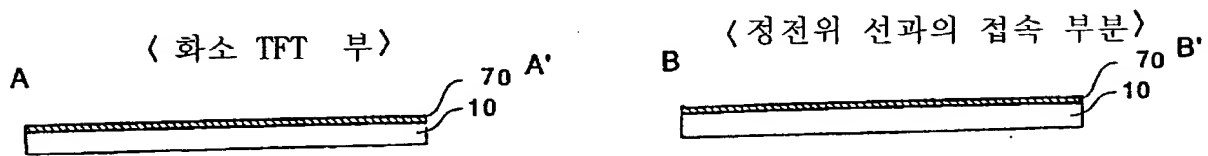
도면22



도면 23



도면24a



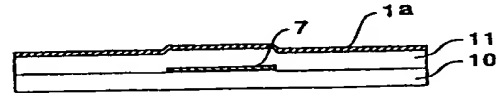
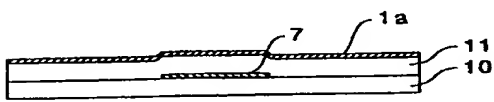
도면24b



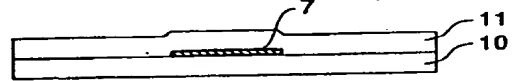
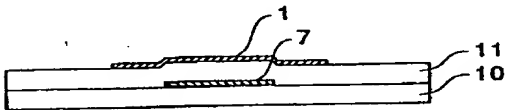
도면24c



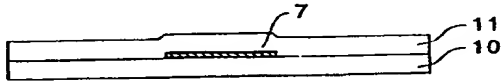
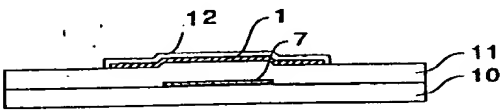
도면24d



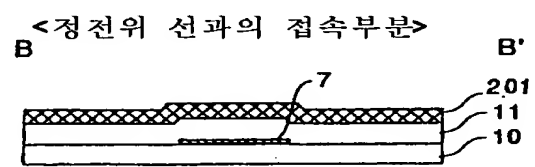
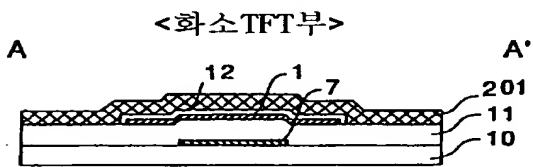
도면24e



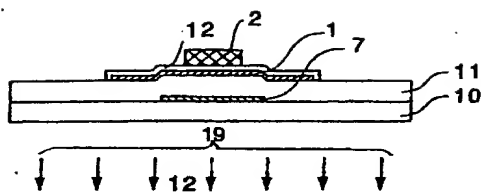
도면24f



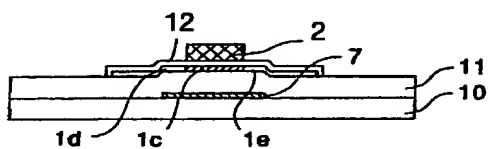
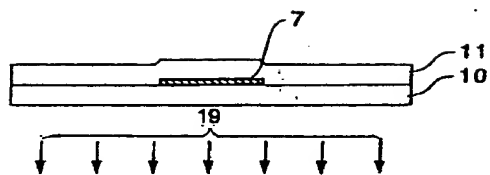
도면25a



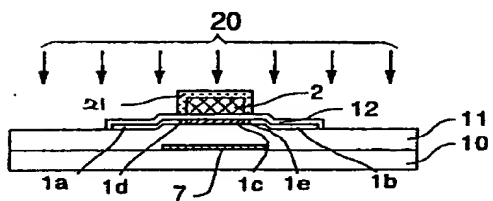
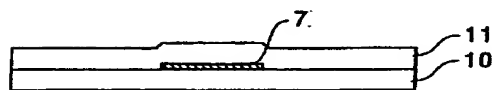
도면25b



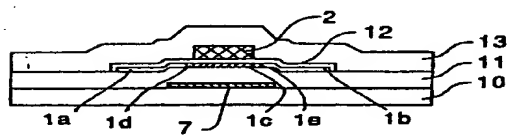
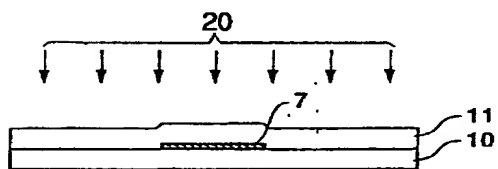
도면 25c



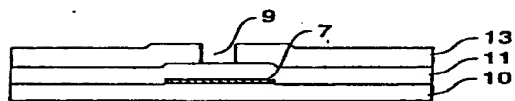
도면 25d

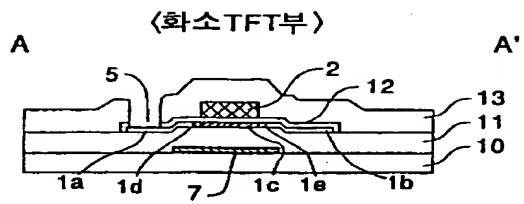


도면 25e

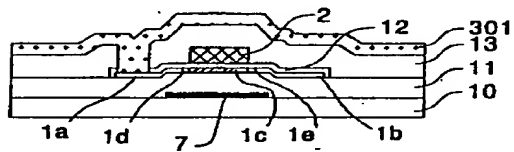


도면 26a

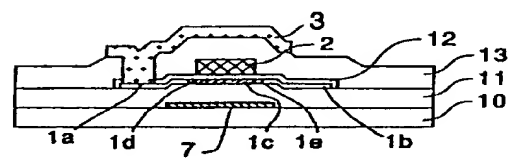




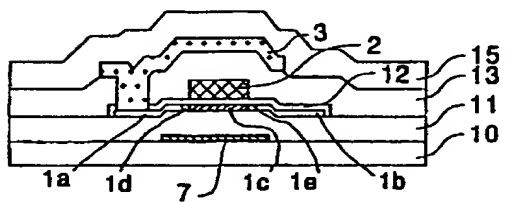
도면26b



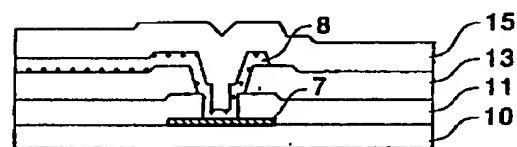
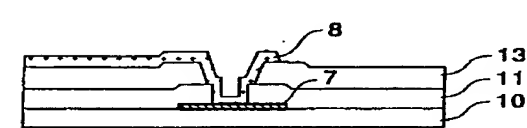
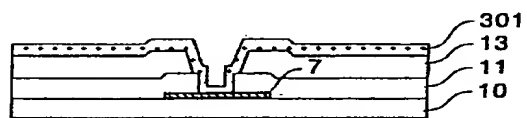
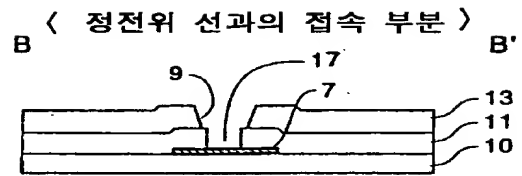
도면26c

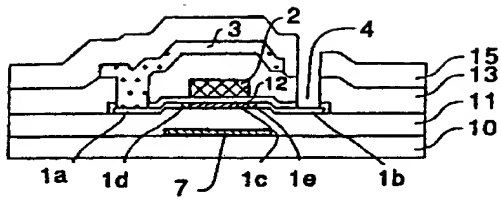


도면26d

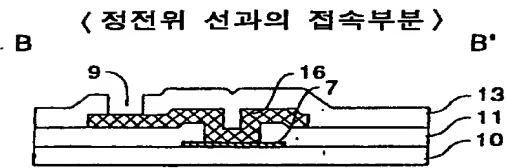
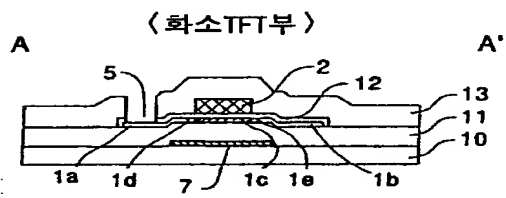
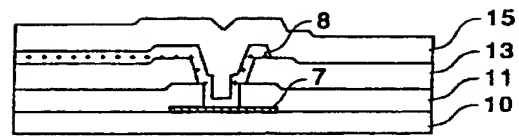


도면26e

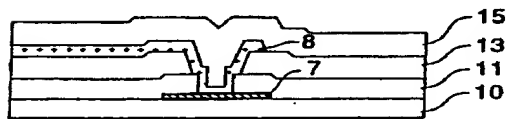
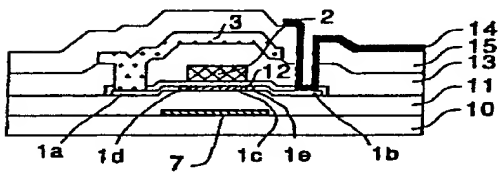




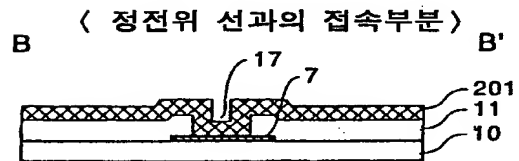
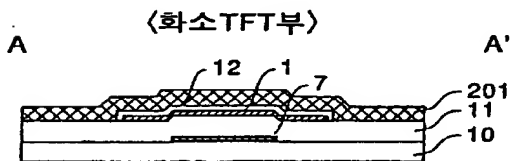
도면27a



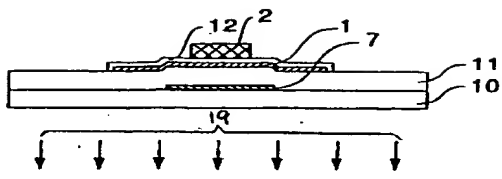
도면27b



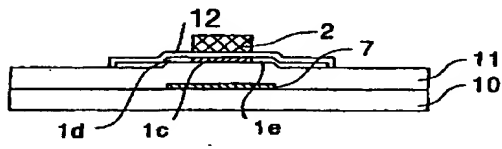
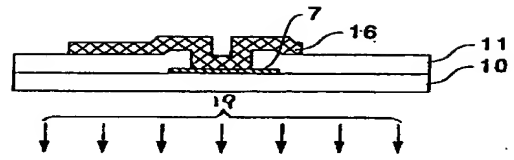
도면28a



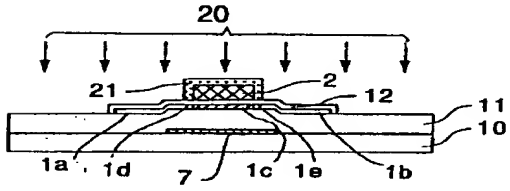
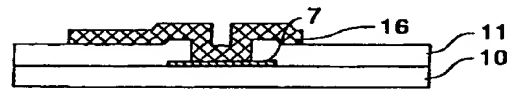
도면28b



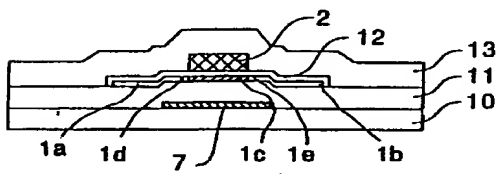
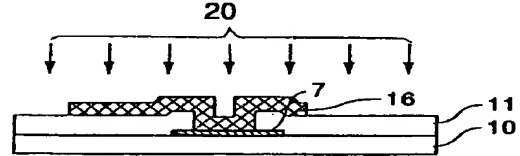
도면28c



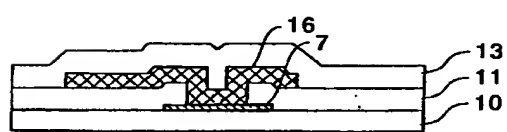
도면28d

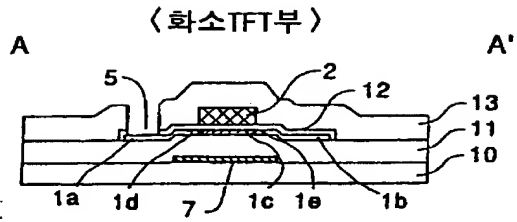


도면28e

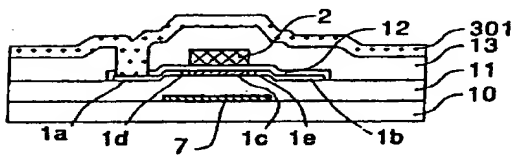


도면29a

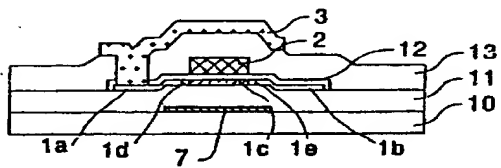




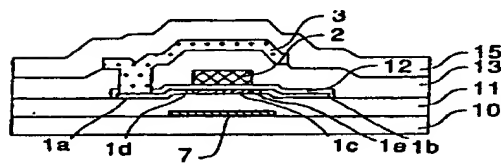
도면29b



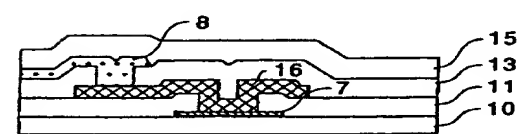
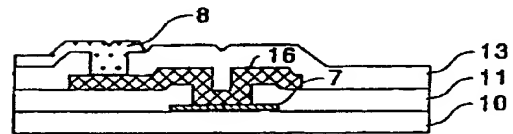
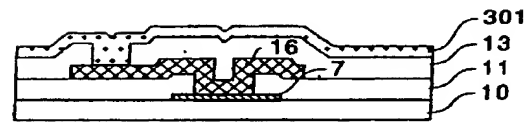
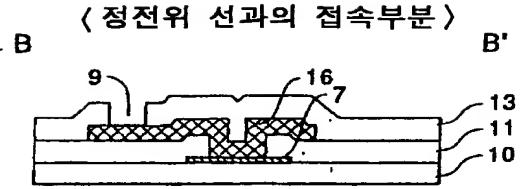
도면29c

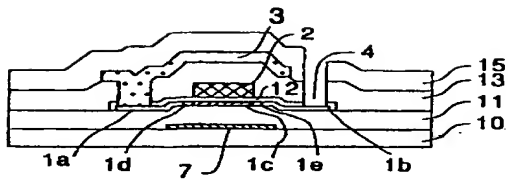


도면29d

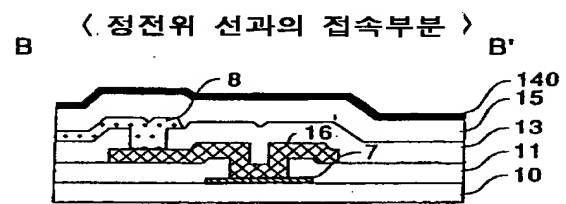
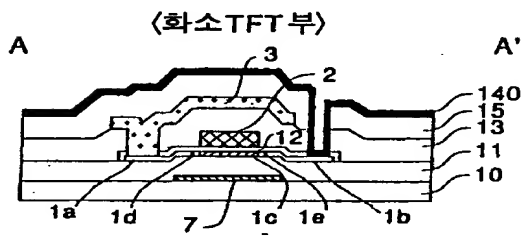
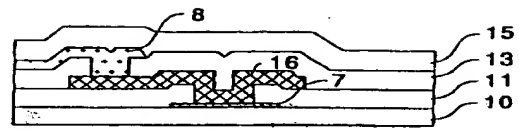


도면29e

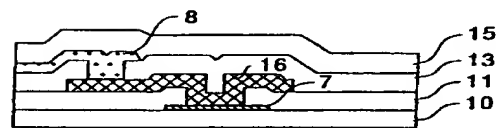
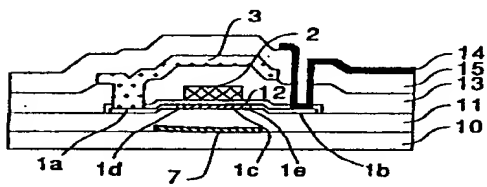




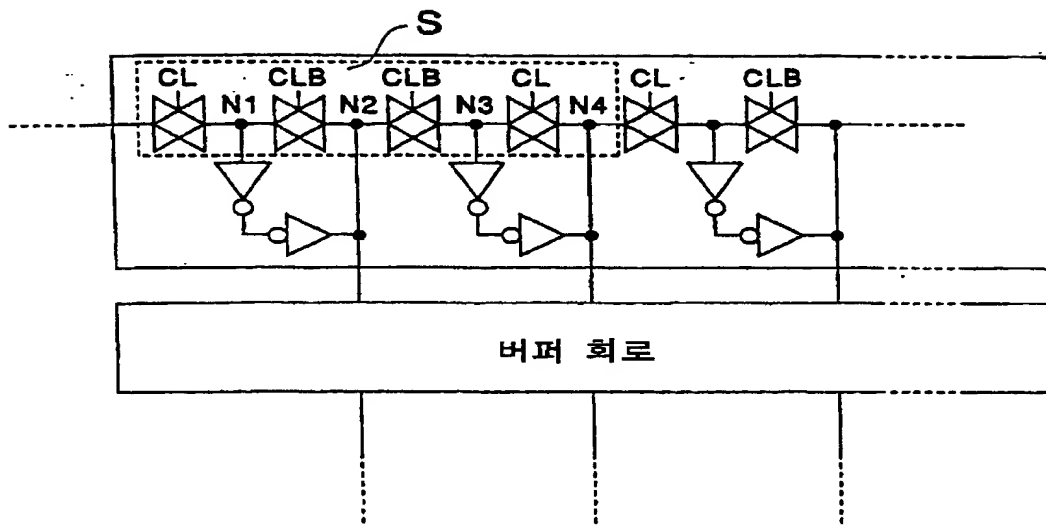
도면30a



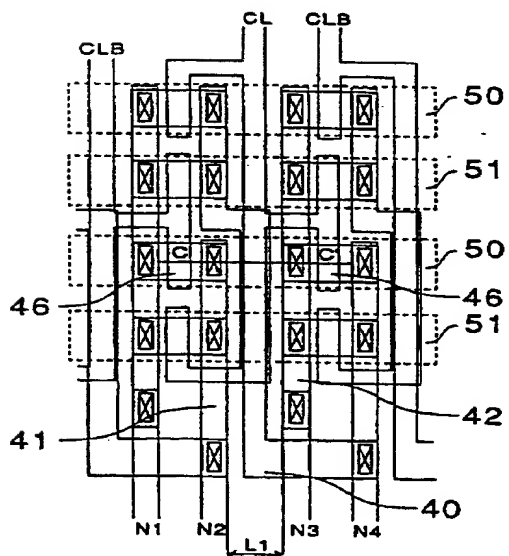
도면30b



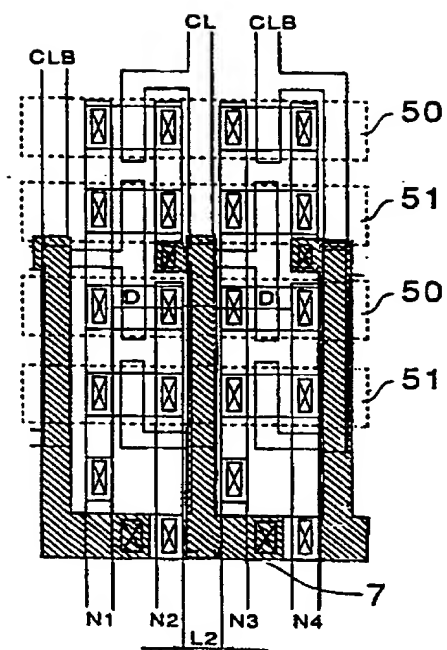
도면31



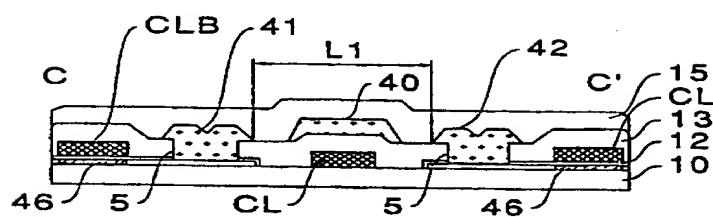
도면 32a



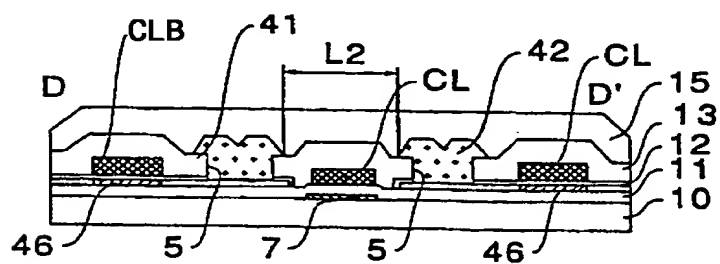
도면 32b



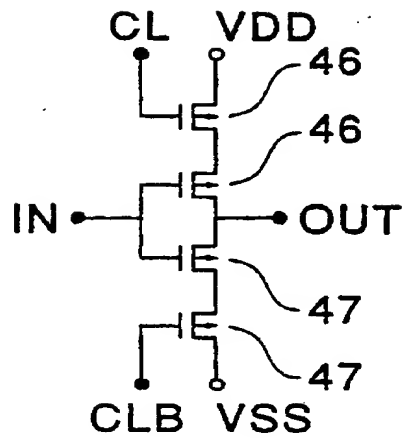
도면33a



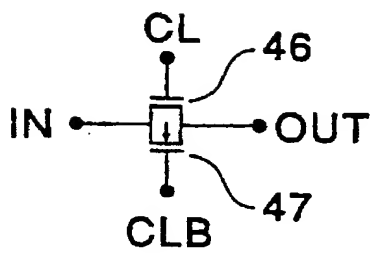
도면33b



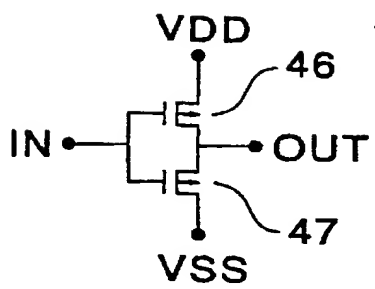
도면 34a



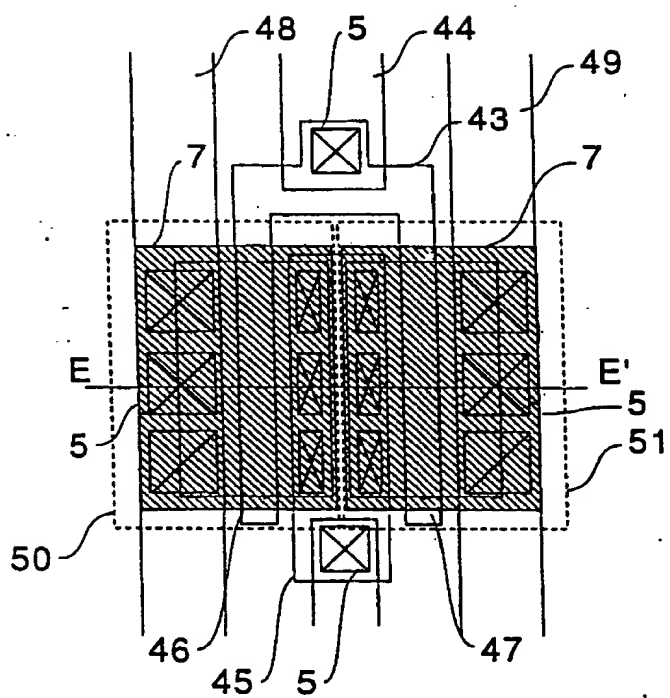
도면 34b



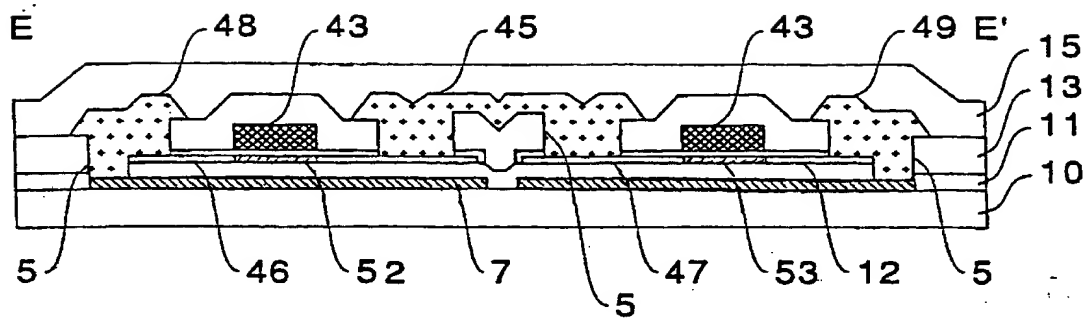
도면 34c



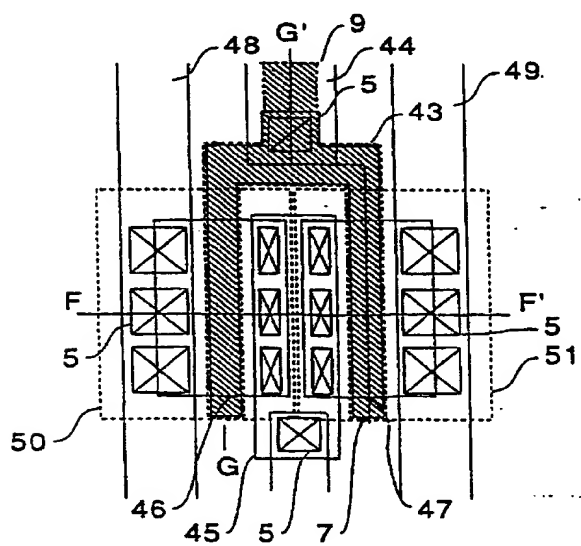
도면 35a



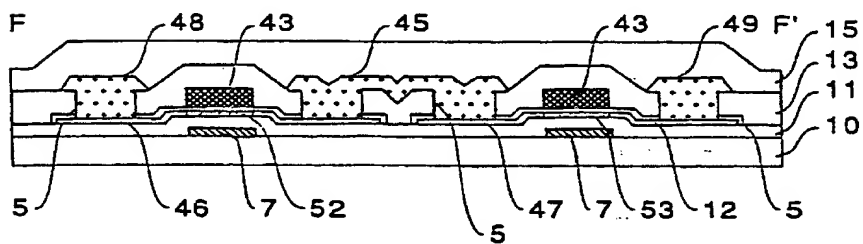
도면 35b



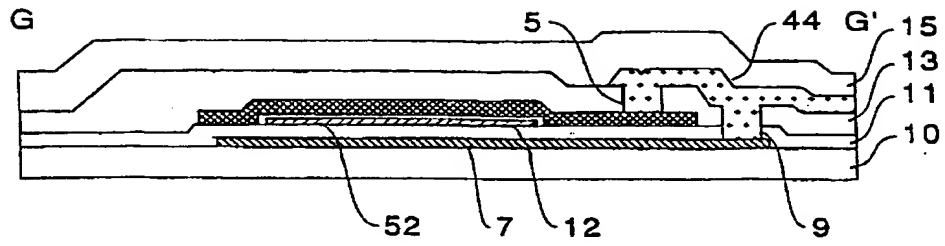
도면 36a



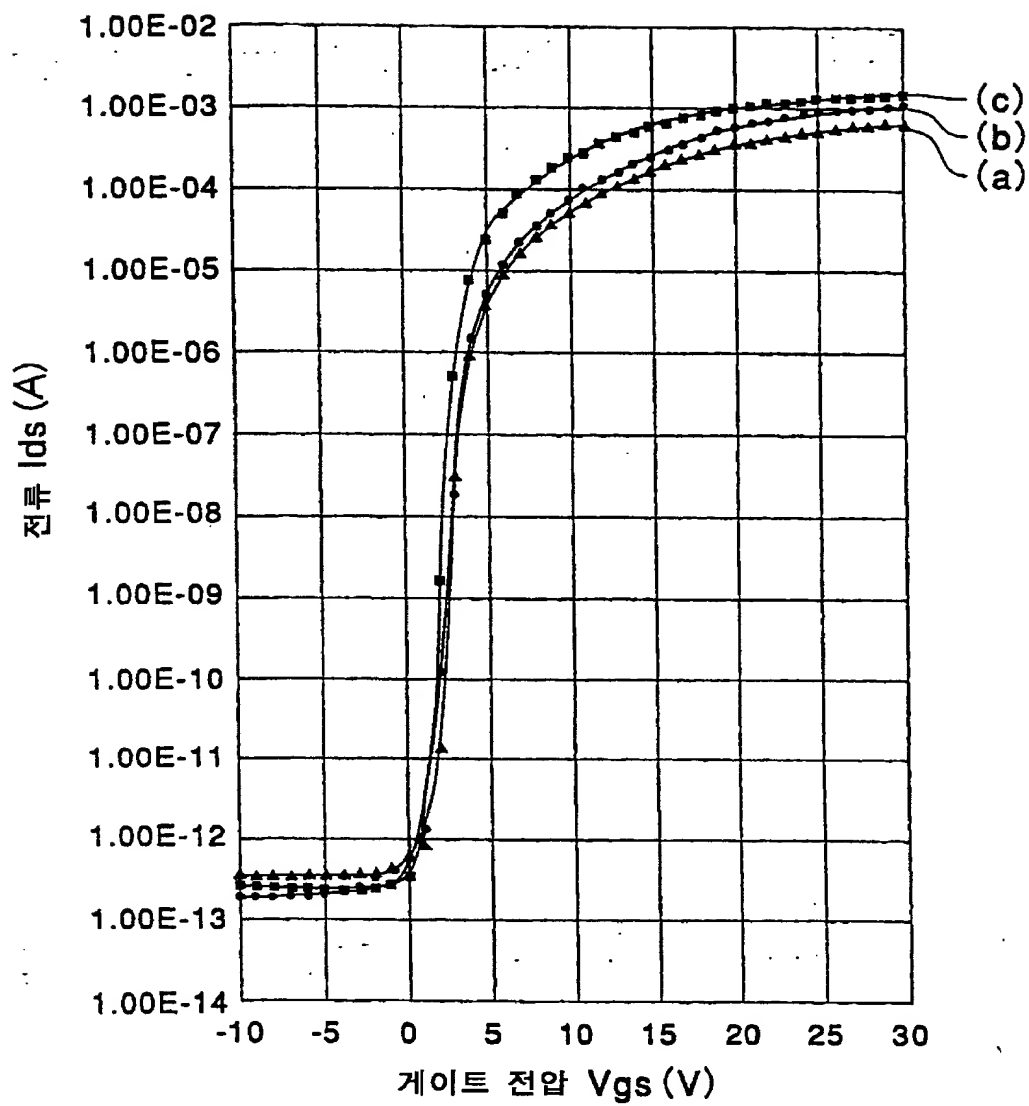
도면 36b



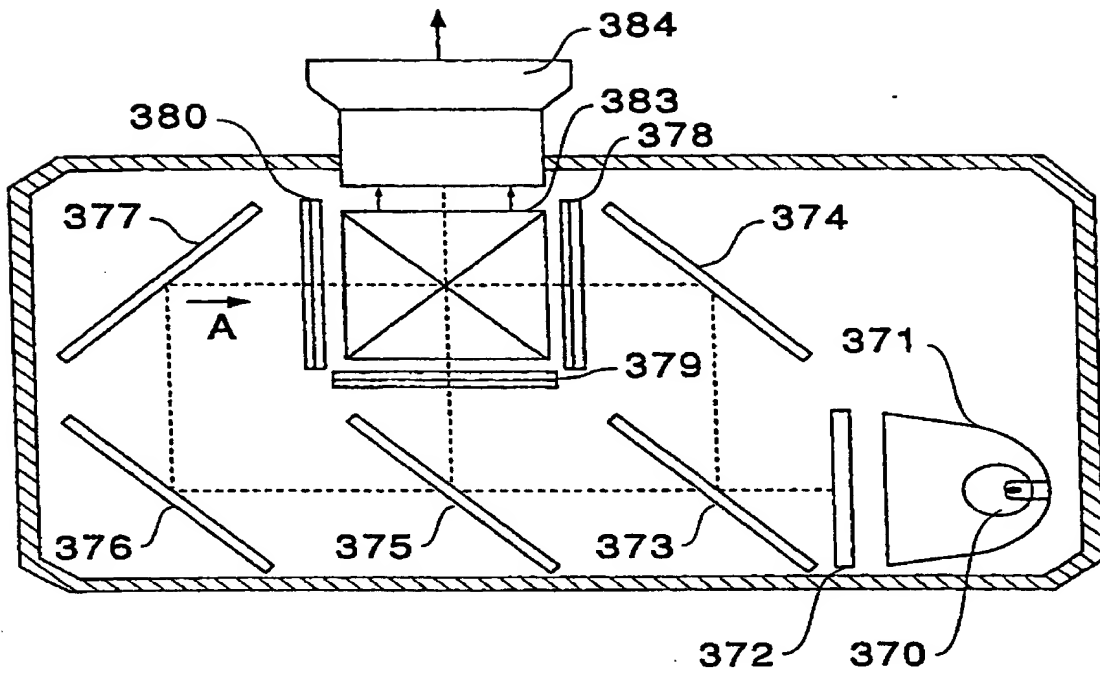
도면36c



도면37



도면 38



도면 39

